
COMIZOA CP/SD HARDWARE MANUAL





***COMputer Innovation
is Zoomed by Our Affection!***



~~~~~  
저작권자 : **쥬커미조아**

*Copyright (c) by COMIZOA CO.,LTD. All right reserved.*

2001 년 11 월 20 일 중판 인쇄

이 사용자 설명서는 저작권법에 의해 보호되고 있습니다.

**쥬커미조아**의 사전 서면 동의 없이 사용자설명서의 일부 또는 전체를 어떤 형태로든 복사, 전재할 수 없습니다.

Hardware Support : [Hardware@comizoa.co.kr](mailto:Hardware@comizoa.co.kr)

Software Support : [Software@comizoa.co.kr](mailto:Software@comizoa.co.kr)



**쥬커미조아**

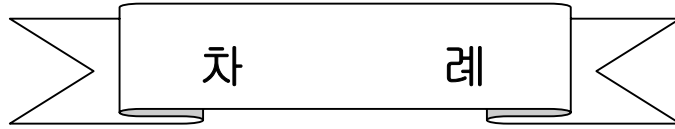
[www.comizoa.co.kr](http://www.comizoa.co.kr)

[www.comizoa.com](http://www.comizoa.com)

Tel) 042 - 861 - 3301~3

Fax) 042 - 861 - 3304





|                                       |    |
|---------------------------------------|----|
| CHAPTER 1. DAS .....                  | 1  |
| 1. 신호선의 종류 및 연결방법 .....               | 1  |
| 1-1. 아날로그 입력신호 연결 .....               | 2  |
| 1-2. 아날로그 출력 신호 연결 .....              | 7  |
| 1-3. 엔코더 신호 연결 .....                  | 8  |
| 1-4. 디지털 입출력 신호 연결 .....              | 15 |
| 1-5. COMI-SD Counter 신호 연결 .....      | 17 |
| 1-6. Intel 8253/4 Counter 신호 연결 ..... | 19 |
| 2. A/D 변환 종류 .....                    | 20 |
| CHAPTER 2. MULTI-FUNCTION BOARD ..... | 23 |
| 1. COMI-SD101 .....                   | 24 |
| 1-1. COMI-SD101 사양 .....              | 25 |
| 1-2. COMI-SD101 구조 .....              | 28 |
| 2. COMI-SD103 .....                   | 31 |
| 2-1. COMI-SD103 사양 .....              | 32 |
| 2-2. COMI-SD103 구조 .....              | 35 |
| 3. COMI-SD104 .....                   | 38 |
| 3-1. COMI-SD104 사양 .....              | 39 |
| 3-2. COMI-SD104 구조 .....              | 42 |
| 4. COMI-CP101 .....                   | 45 |
| 4-1. COMI-CP101 사양 .....              | 46 |
| 4-2. COMI-CP101 구조 .....              | 49 |

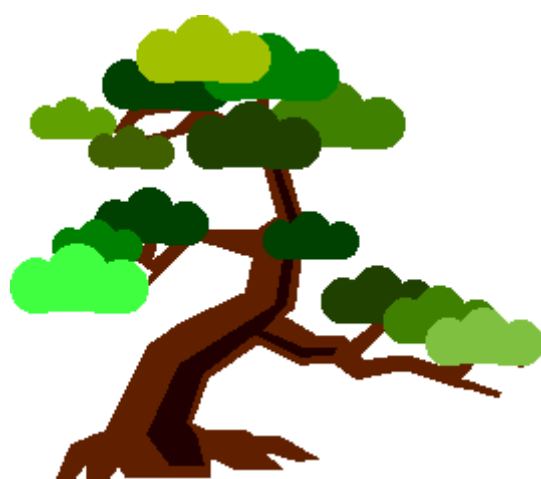
|                                            |     |
|--------------------------------------------|-----|
| CHAPTER 3.ANALOG INPUT BOARD .....         | 53  |
| 1.COMI-SD201.....                          | 54  |
| 1-1.COMI-SD201 사양.....                     | 55  |
| 1-2.COMI-SD201 구조.....                     | 58  |
| 2.COMI-SD203.....                          | 61  |
| 2-1.COMI-SD203 사양.....                     | 62  |
| 2-2.COMI-SD203 구조.....                     | 65  |
| 2.COMI-CP201.....                          | 69  |
| 2-1.COMI-CP201 사양.....                     | 70  |
| 2-2.COMI-CP201 구조.....                     | 73  |
| CHAPTER 4.ANALOG OUTPUT BOARD .....        | 77  |
| 1.COMI-SD301.....                          | 78  |
| 1-1.COMI-SD301 사양.....                     | 79  |
| 1-2.COMI-SD301 구조.....                     | 82  |
| 2.COMI-CP301.....                          | 85  |
| 2-1.COMI-CP301 사양.....                     | 86  |
| 2-2.COMI-CP301 구조.....                     | 88  |
| 3.COMI-CP302.....                          | 91  |
| 3-1.COMI-CP302 사양.....                     | 92  |
| 3-2.COMI-CP302 구조.....                     | 94  |
| CHAPTER 5.DIGITAL INPUT/OUTPUT BOARD ..... | 97  |
| 1.COMI-SD402.....                          | 98  |
| 1-1.COMI-SD402 사양.....                     | 100 |
| 1-2.COMI-SD402 구조.....                     | 102 |
| 2.COMI-SD403.....                          | 104 |
| 2-1.COMI-SD403 사양.....                     | 106 |
| 2-2.COMI-SD403 구조.....                     | 108 |
| 3.COMI-SD404.....                          | 110 |
| 3-1.COMI-SD404 사양.....                     | 112 |

|                                             |     |
|---------------------------------------------|-----|
| 3-2.COMI-SD404 구조.....                      | 114 |
| 4.COMI-CP401 .....                          | 116 |
| 4-1.COMI-CP401 사양.....                      | 117 |
| 4-2.COMI-CP401 구조.....                      | 119 |
| CHAPTER 6.COUNTER/MOTOR CONTROL BOARD ..... | 122 |
| 1.COMI-SD501.....                           | 123 |
| 1-1.COMI-SD501 사양.....                      | 124 |
| 1-2.COMI-SD501 구조.....                      | 126 |
| 2.COMI-SD502.....                           | 129 |
| 2-1.COMI-SD502 사양.....                      | 130 |
| 2-2.COMI-SD502 구조.....                      | 132 |
| 3.COMI-CP501 .....                          | 135 |
| 3-1.COMI-CP501 사양.....                      | 136 |
| 3-2.COMI-CP501 구조.....                      | 138 |
| CHAPTER 7.TERMINAL BOARD .....              | 142 |
| 1. COMI-SDT1 .....                          | 143 |
| 2. COMI-CPT1 .....                          | 146 |
| 3. COMI-CPT1B.....                          | 148 |
| 4. COMI-CPT2 .....                          | 149 |
| 5. COMI-CPT3 .....                          | 150 |
| 6. COMI-CPT4 .....                          | 151 |
| 7. SDCABLE1 .....                           | 152 |
| 8. SDCABLE2 .....                           | 152 |
| 9. CPCABLE1 .....                           | 153 |
| 10. CPCABLE2 .....                          | 153 |
| CHAPTER 8. 레지스터 구조 .....                    | 123 |
| 1. COMI-SD101/103/104 의 레지스터 구조 및 형식 .....  | 124 |
| 2. COMI-CP101 레지스터 구조 및 형식 .....            | 138 |

|                                                    |     |
|----------------------------------------------------|-----|
| 3. COMI-SD201 레지스터 구조 및 형식 .....                   | 143 |
| 4. COMI-SD203 레지스터 구조 및 형식 .....                   | 156 |
| 5. COMI-CP201 레지스터 구조 및 형식 .....                   | 165 |
| 6. COMI-SD301 레지스터 구조 및 형식 .....                   | 169 |
| 7. COMI-CP301 레지스터 구조 및 형식 .....                   | 181 |
| 8. COMI-CP302 레지스터 구조 및 형식 .....                   | 186 |
| 9. COMI-CP401 레지스터 구조 및 형식 .....                   | 192 |
| 10. COMI-SD501 레지스터 구조 및 형식 .....                  | 194 |
| 11. COMI-SD502 레지스터 구조 및 형식 .....                  | 215 |
| 12. COMI-CP501 레지스터 구조 및 형식 .....                  | 223 |
| 부록 1. A/D, D/A GAIN 및 OFFSET 조정방법 .....            | 211 |
| 1. A/D, D/A CONVERTER 의 OFFSET 및 GAIN 조정 .....     | 217 |
| 1-1. <i>Offset</i> 조정.....                         | 218 |
| 1-2. <i>Gain</i> 조정.....                           | 219 |
| 2. D/A CONVERTER 의 OFFSET 및 GAIN 조정.....           | 220 |
| 2-1. <i>Offset</i> 조정.....                         | 220 |
| 2-2. <i>Gain</i> 조정.....                           | 220 |
| 부록 2. INTEL 8253/4 카운터 .....                       | 221 |
| 1. CONTROL REGISITER .....                         | 222 |
| 2. MODE 정의.....                                    | 225 |
| 3. LOADING & READING THE COUNTER .....             | 230 |
| 4. 카운터 읽기.....                                     | 231 |
| 부록 3. DATA ACQUISITION 개요 .....                    | 233 |
| 1. DATA ACQUISITION & CONTROL SYSTEM 이란? .....     | 233 |
| 1-1. <i>PC-Bus Interface</i> 장점 .....              | 234 |
| 1-2. <i>Standard Communication Channel</i> 장점..... | 235 |
| 2. IBM-PC 의 내부 구조 ( MEMORY ADDRESS 를 중심으로 ).....   | 236 |
| 2-1. <i>PC Expansion Slot</i> 의 구조.....            | 245 |

---

# PART I





## CHAPTER 1. DAS

### 1. 신호선의 종류 및 연결방법

COMI-SD101/103/104, COMI-CP101 이나 COMI-SD201, COMI-CP201 과 같이 아날로그 입력신호를 처리하는 보드에서 입력신호의 연결은 무엇보다 중요합니다. 아날로그 입력 신호를 터미널보드에 연결하는 방법은 여러분이 사용하고자 하는 센서의 출력 형태에 따라 달라질 수 있습니다. 다음은 신호의 유형입니다.

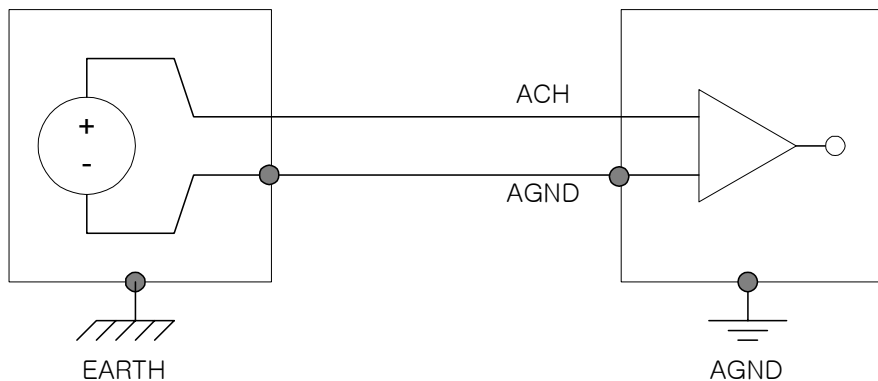
◇ **Ground-Referenced Signal Source** : 센서의(-)신호가 건물의 그라운드에 접지되어 있고 SD 시리즈가 설치된 컴퓨터의 전원부분의 그라운드 핀이 건물 그라운드에 공통 접지되어 있으면 신호의 그라운드가 공통인 경우입니다.

◇ **Floating Signal Source** : 센서의 (-)신호가 그라운드와 분리되어 있어서 센서의 양 단 (+,-)의 변화를 읽어야 하는 신호입니다. 예를 들면 배터리나 Optical Isolator 출력 등이 있습니다.

## 1-1. 아날로그 입력신호 연결

### ♣ Single Ended 연결법 1

신호의 유형이 Ground-Referenced Signal Source 일 때 Single Ended 로 아날로그 신호를 연결하면 [그림 1-1]과 같습니다. 이와 같이 신호를 연결할 경우 Differential Input 의 연결법 보다 많은 아날로그 입력을 처리 할 수 있습니다. 만약 신호선에 Shield 선이 있는 경우에는 센서부나 보드의 그라운드 양쪽에 Shield 선을 연결합니다. 그러나 이 방법은 그라운드 루프현상이 발생하여 센서의 그라운드와 보드의 그라운드 사이에 전압차의 형성으로 계측하려는 신호에 왜곡이 있을 수 있어 바람직하지 않습니다.

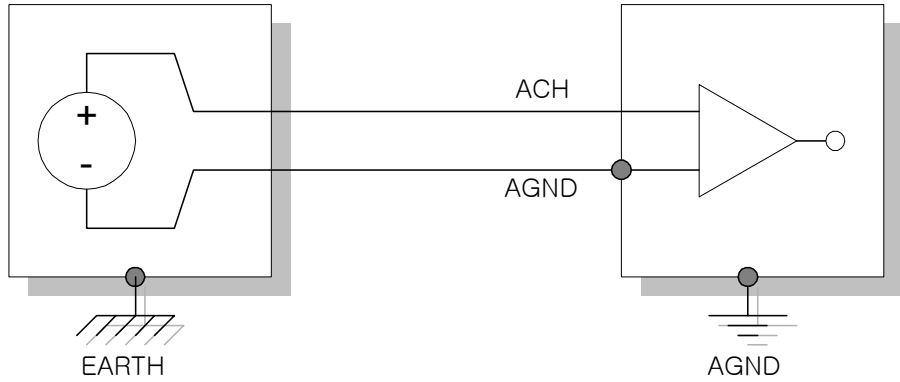


[그림 1-1] Single Ended 아날로그 신호 연결법 1

### ♣ Single Ended 연결법 2

신호의 유형이 Floating Signal 이고 다채널을 사용하실 경우 Single Ended 사용이 바람직 합니다. 그러나 이 경우에 계측하려는 신호들의 그라운드가 묶이므로 주의하셔야 됩니다. [그림 1-2]와 같이 연결하시고 만약 Shield 선이 있는 경우에는 한쪽의 그라운드에만 연결하십시오.

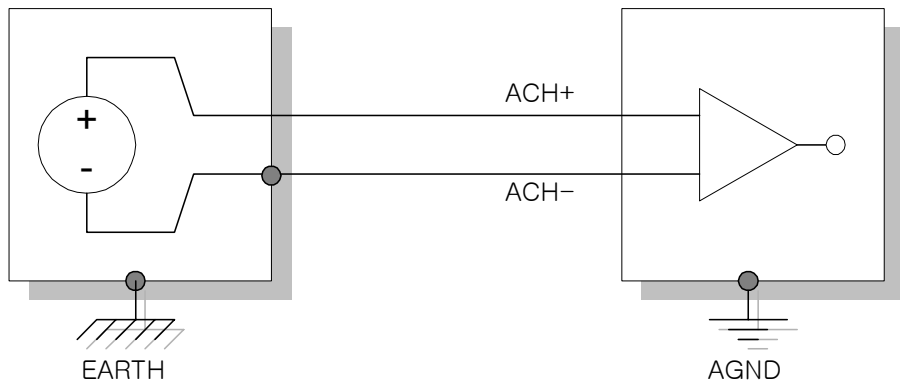




[그림 1-2] Single Ended 아날로그 신호 연결법 2

## ♣ Differential 연결법 1

신호의 유형이 Ground-Referenced Signal Source 이고 Differential 로 아날로그 신호를 연결하실 때 [그림 1-3]과 같이 연결하실 수 있습니다.

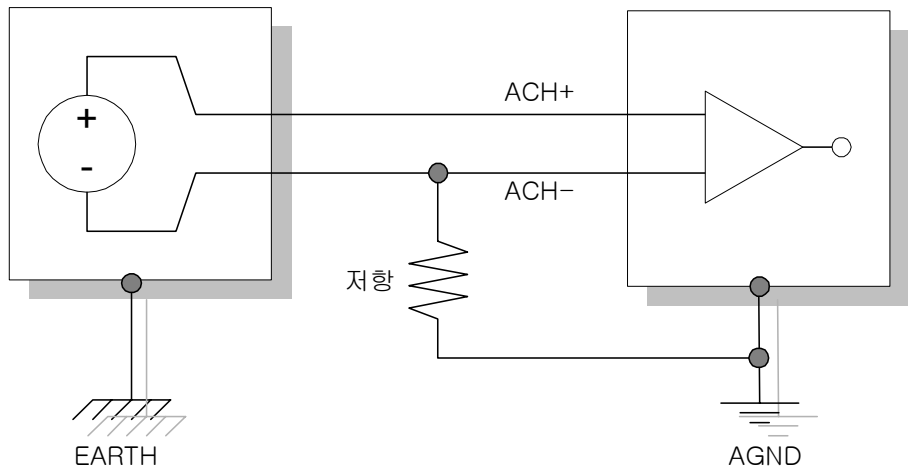


[그림 1-3] Differential 아날로그 신호 연결법 1

## ♣ Differential 연결법 2

신호의 유형이 Floating Signal 이고 Differential 로 아날로그 신호를 연결할 경우 [그림 1-4]와 같이 연결 할 수 있습니다.

이 때 사용자가 유의할 사항은 센서의 출력신호가 Floating 되어있는지 다시 한번 확인 하시고 출력 임피던스를 측정하십시오. 출력 임피던스에 따라서 [그림 1-4]의 저항 값을 결정 할 수 있습니다.

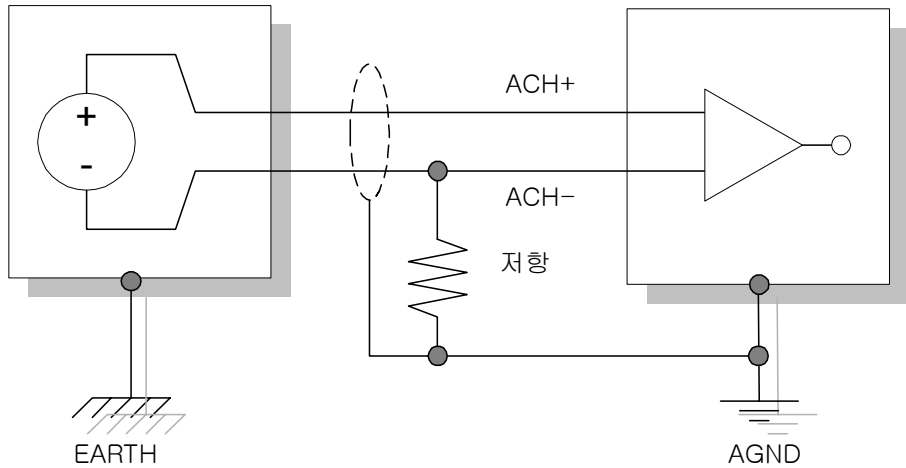


[그림 1-4] Differential 아날로그 신호 연결법 2

#### ♣ Shielded Differential 연결법 1

[그림 1-4]와 같고 단지 센서의 신호선이 Shield 선으로 되어있으면 [그림 1-5]와 같이 Shield 선을 커미조아 보드의 아날로그 그라운드나 센서의 그라운드중 한 쪽에만 연결하십시오. 그 이유는 [그림 1-1]과 같이 그라운드 루핑현상이 발생하여 양쪽 그라운드에 원하지 않는 전압차가 발생하고 이것이 보드의 Gain Error 원인이 됩니다.

거의 모든 아날로그 입력 신호선은 주위 환경이나 길이에 따라 Shield 선을 쓰는 것이 바람직 합니다. 주위의 Magnetic Noise 가 Shield 선에 따라 그라운드로 빠지므로 신호가 깨끗하고 안정된 신호를 획득 할 수 있습니다.



[그림 1-5] Shielded Differential 아날로그 신호 연결법

사용자는 다음 네 가지 경우에는 Differential Mode 로 신호를 입력 받는 것이 바람직 합니다.

- 센서의 출력 신호가 그라운드와 분리되어 있을 때
- 주위 환경에 Noise 가 많을 때
- 센서의 출력 신호가 1 Volt 미만일 때
- 센서가 COM10A 터미널 블록과 3m 이상일 때

[그림 1-3]과 같이 Ground-Referenced Signal Source 를 Differential 입력으로 받는 경우는 Picked-up Noise 를 감소 시키고 Common-mode Noise Rejection 을 향상 시킵니다. 센서의 출력 신호가 미약하고 주위 환경이 열악할 때 아날로그 그라운드와 센서의 (-)신호를 오실로스코프로 관찰하면 신호에 많은 잡신호가 있음을 알 수 있습니다. 이런 상황에서 Single Ended 연결법을 사용하시면 센서의 (-)신호를 보드의 기준 전압인 아날로그 그라운드와 접지하므로 보드의 아날로그 그라운드에 잡신호가 섞여서

## Chapter1. DAS

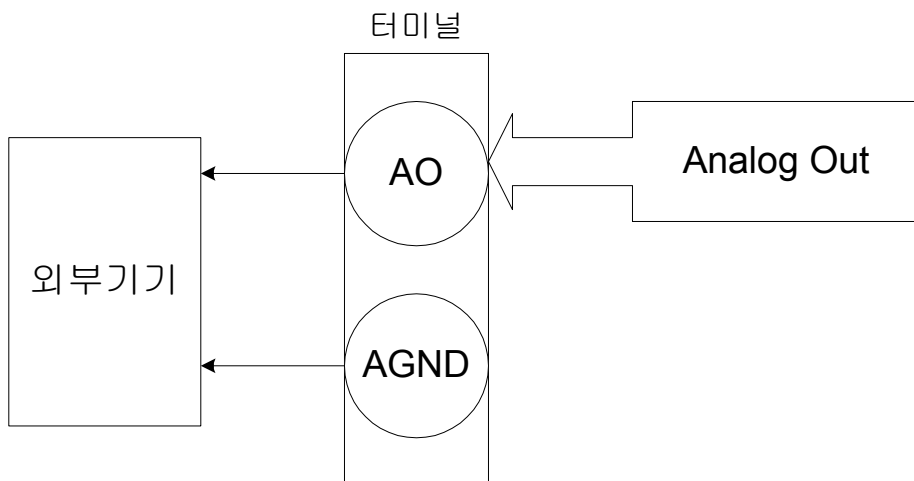
정확한 데이터의 획득이 불가능합니다. 따라서 이럴 때는 Differential 연결법을 사용하시면 (-)신호와 그라운드가 분리되며 또한 센서의 (+)신호와 (-)신호의 전압차를 측정하게 되므로 위의 문제가 해결될 수 있습니다.

[그림 1-4]와 같이 신호의 유형이 Floating Signal 이고 Differential 입력을 이용하실 때 주위 하실 점은 센서 신호의 출력 임피던스가 높으면 사용이 불가능 합니다. 이때 그림과 같이 Bias 저항을 대략 출력 임피던스의 수 백배크기로 연결하셔야 합니다. 사용자가 100 배의 저항을 연결하시면 1%의 Gain Error 가 있을 수 있습니다. 만약 센서 신호의 출력 임피던스가 충분히 낮으면 센서의 (-)신호를 보드의 아날로그 그라운드에 직접연결 하실 수 있습니다.

## 1-2. 아날로그 출력 신호 연결

아날로그 출력 신호의 연결은 아날로그 입력신호연결 보다 매우 간단합니다. 사용자는 [그림 1-6]과 같이 아날로그 출력 핀을 직접 제어하고자 하는 기기의 입력 핀에 연결하실 수 있습니다.

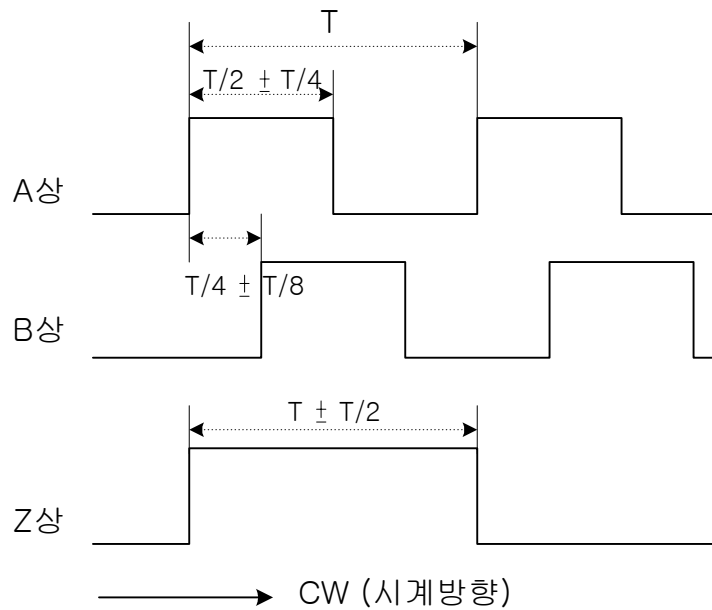
쥬커미조아 보드의 대부분 아날로그 출력은 +10V ~ -10V 이므로 사용자는 제어하고자 하는 기기의 입력 사양을 확인하시고 전압 범위가 다르면 별도의 회로를 제작하셔서 출력 전압을 변형하여야 됩니다.



[그림 1-6] 아날로그 출력 신호의 연결법

### 1-3. 엔코더 신호 연결

엔코더의 연결은 엔코더의 종류에 따라 연결법이 달라질 수 있습니다. 따라서 엔코더의 입력 신호를 지원하는 (쥬커미조아 보드에 연결하는 방법은 여러분이 사용하고자 하는 엔코더의 출력 형태에 따라 달라집니다. 이 절에서는 (쥬커미조아의 엔코더를 지원하는 COM1-SD501 을 중심으로 설명하겠습니다.



[그림 1-7] 엔코더 출력파형

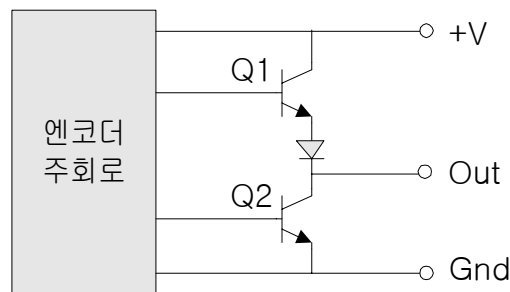
[그림 1-7]은 엔코더 출력 파형입니다. 엔코더의 A 상과 B 상이 엔코더가 시계방향으로 회전하면 그림과 같이 출력되고 이 때 한 바퀴회전하면 Z 상이 출력됩니다. 엔코더의 분해능에 따라 엔코더 한 바퀴 회전 당 A 상의 개수가 결정됩니다. 현재 엔코더의 회전방향을 엔코더 신호를 사용하여 예측하고자 할 때는 A 상과 B 상의 순서에 따라 알 수 있습니다. (쥬커

미조아의 보드에는 Z 상을 방향에 따라 Up/Dn 카운트 하는 기능도 있습니다. 엔코더의 신호는 각각 그림에서 보여지는 바와 같이 주기에 따른 오차가 있을 수 있습니다. 정밀한 제어를 하고자 할 경우에는 엔코더의 분해능을 높이는 방법으로 채배하는 경우가 있습니다. 이러한 경우에는 A,B 상을 이용하여 현재의 분해능을 2 배 이상으로 높일 수 있습니다.

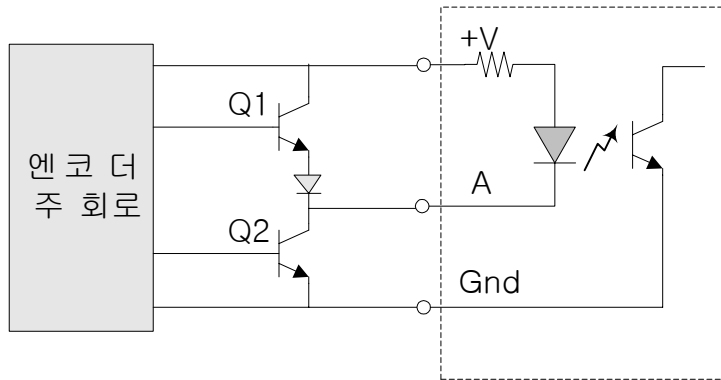
- Totem Pole : [그림 1-8]에서 위쪽의 Q1 트랜지스터 대신에 저항을 연결하면 저항의 크기만큼 지연이 되며 파워가 감소됩니다. 따라서 트랜지스터를 저항대신에 Active Pull-up 같이 사용하면 위와 같은 문제가 해결되는데 이러한 출력형태를 토템폴 출력이라 합니다. 토템폴의 장점은 출력 임피던스가 낮으므로 노이즈와 파형의 왜곡이 적습니다.

동작은 출력신호가 High 일 때는 Q1 이 ON, Q2 가 OFF 된 상태이며 출력신호가 Low 인 경우에는 Q1 이 OFF 되고 Q2 가 ON 된 경우입니다. 사용자는 위와 같은 형태의 엔코더를 연결하실 때는 터미널 보드에 A-,B-,Z-,P(5V),G(GND)를 각각의 엔코더 신호와 연결하시고 A+,B+,Z+를 P 와 연결하십시오.

[그림 1-9]는 엔코더의 출력형태가 토템폴일 경우 연결하는 방법입니다.

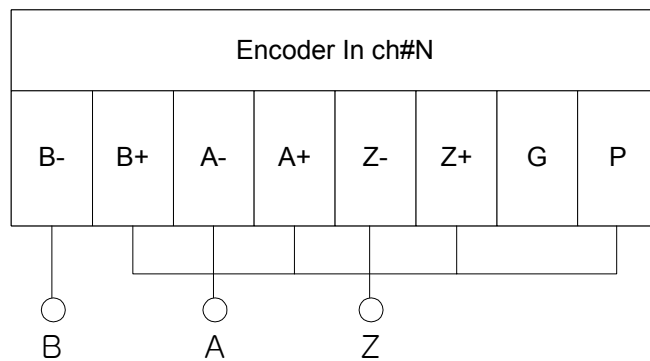


[그림 1-8] 엔코더 Totem Pole 출력회로



[그림 1-9] COMI-SD501 회로 연결도

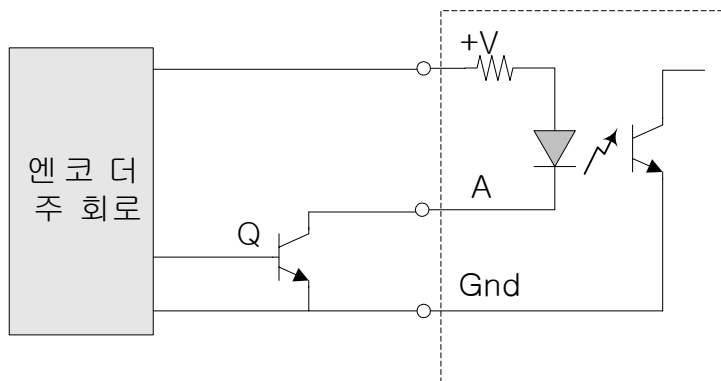
[그림 1-10]은 Totem Pole 출력형태의 엔코더와 COMI-SD501의 연결도입니다.



[그림 1-10] SD501 과 엔코더의 연결도 1

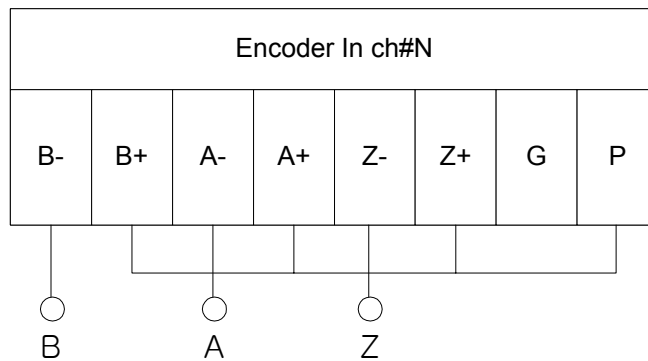


- NPN Open Collector : [그림 1-11]과 같이 출력단, 즉 트랜지스터의 Collector 를 개방 시킨 형태를 Open Collector 출력방식 이라 합니다. 이와 같은 출력 형태는 센서부와 제어부의 전압이 차이가 있을 때 적용할 수 있습니다.



[그림 1-11] SD501 회로 연결도

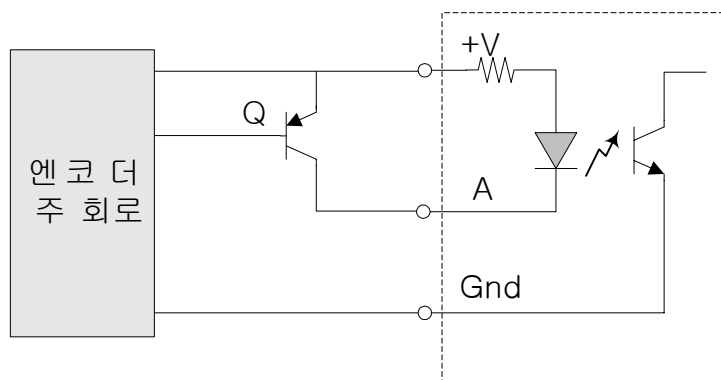
주의할 점은 [그림 1-11]과 같이 풀업 저항이 연결되어야 합니다. 사용자는 위와 같은 형태의 엔코더를 SD501 에 연결하실 때는 A-,B-,Z-,P(Vcc),G(GND)를 각각의 엔코더 신호와 연결하시고 A+,B+,Z+를 5V 와 연결하십시오. [그림 1-12]를 참조하십시오.



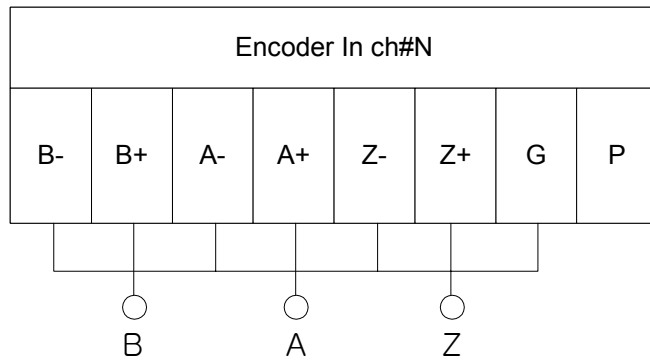
[그림 1-12] SD501 과 엔코더의 연결도 2

- PNP Open Collector : [그림 1-13]과 같이 출력단의 트랜지스터가 PNP 형인 출력 형태입니다. 사용자는 위와같은 형태의 엔코더를 COM1-SD501 에 연결하실 때는 터미널 보드에 A+,B+,Z+,P(Vcc),G(GND)를 각각의 엔코더 신호와 연결하시고 A-,B-,Z-를 G 와 연결하십시오.

[그림 1-14]를 참조하십시오.



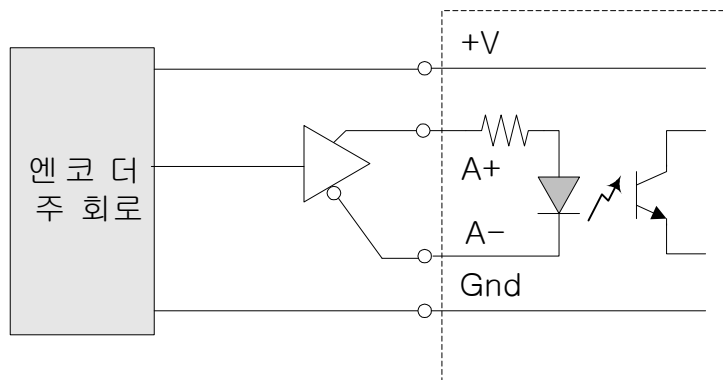
[그림 1-13] SD501 회로 연결도



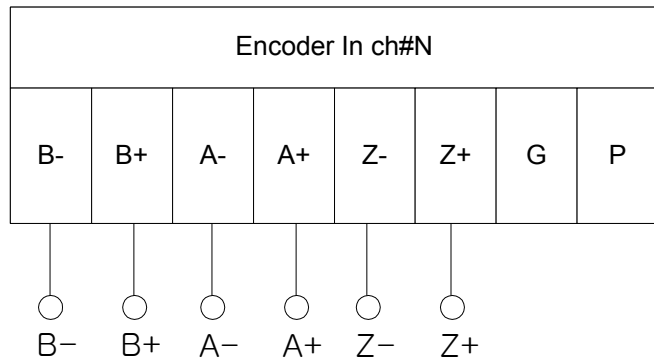
[그림 1-14] SD501 과 엔코더의 연결도 3

- Line Driver : [그림 1-15]와 같이 이 형태의 엔코더 출력은 제어 출력 회로에 Line Driver 용 IC 를 사용하여 고속의 응답특성과 장거리 전송이 용이합니다. 사용자는 위와 같은 형태의 엔코더를 SD501 에 연결하실 때는 터미널 보드에 A+,B+,Z+,A-,B-,Z-,P(5V),G(GND)를 각각의 엔코더 신호와 연결하십시오.

[그림 1-16]을 참조하십시오.

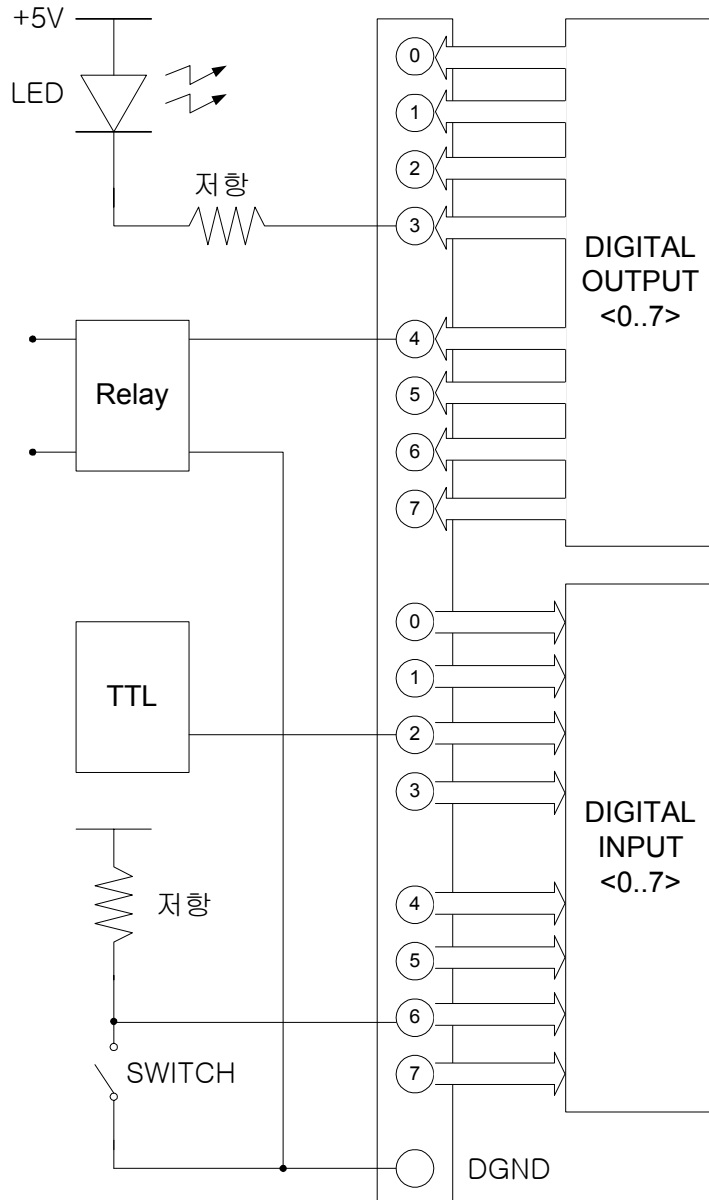


[그림 1-15] SD501 회로 연결도



[그림 1-16] SD501 과 엔코더의 연결도 4

## 1-4. 디지털 입출력 신호 연결



[그림 1-17] 디지털 입출력 연결법

[그림 1-17]은 디지털 입력이 8 채널, 디지털 출력이 8 채널인 경우입니다. 디지털 입출력은 모든 산업시설의 자동화나 계측기기의 제어 등 응용범위가 매우 광범위 합니다. [그림 1-17]은 그 중 간단한 예로 디지털 출력을 이용하여 LED 를 ON/OFF 하며 Relay 를 구동하는 그림입니다.

사용자는 자신이 선택한 LED 의 사양에 따라 저항을 연결하여 LED 에 흐르는 전류를 조정하고 LED 의 ON/OFF 를 디지털 출력핀의 ON/OFF 로 제어 합니다. Relay 구동도 사양에 따라 연결하시고 디지털 출력핀의 ON/OFF 로 접점을 ON/OFF 시킵니다.

디지털 입력은 외부 기기의 제어를 목적으로 외부 기기의 상황을 인식하기 위해 사용할 수 있습니다. 사용자는 [그림 1-17]과 같이 TTL 출력을 직접 읽을 수 있으며 외부 회로의 스위치의 상태도 알 수 있습니다.

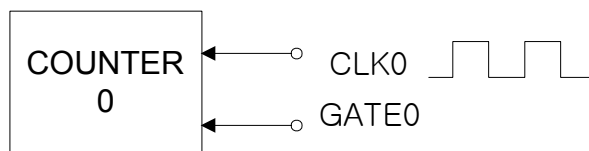
디지털 입출력의 제어는 사용자의 프로그램에서 원하는 시기에 주기적이든 비주기적이든 디지털 입력을 읽거나 디지털 출력을 내 보낼 수 있습니다.

### 1-5. COMI-SD Counter 신호 연결

카운터를 사용하는 주된 이유는 단순 카운트기능, 입력 펄스신호의 주기를 측정하는 기능, 엔코더 인터페이스 기능으로 나뉠 수 있습니다.

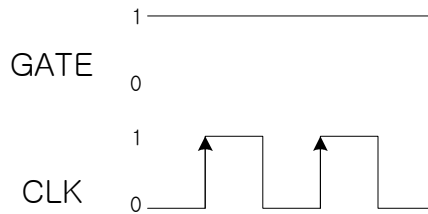
COMI-SD Counter 는 FPGA 를 사용하여 쉐커미조아가 당사의 SD 시리즈에 가장 적합하게 설계한 DAQ 전용 카운터 입니다. COMI-SD Counter 는 각 모델별로 기능이 차별화 되어있습니다. 일반적으로 Multi-Function Board 나 Analog Input Board 에 내재된 COMI-SD Counter 는 2 개의 카운터가 사용 가능하고 각 카운터에는 Gate, Clock 포트가 있습니다. GATE 신호는 카운터의 동작을 유효하게 하거나 무효하게 합니다. 따라서 일반적인 사용에 있어서는 GATE 의 상태는 항상 High 상태여야 됩니다.

[그림 1-18]은 COMI-SD Counter 를 사용한 일반적인 연결 방법입니다.



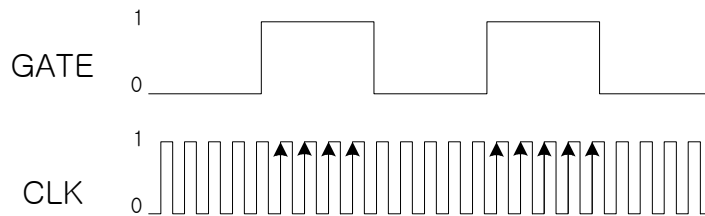
[그림 1-18] 32Bits 카운터 연결

Clock 은 보드에 따라 다를 수 있지만 일반적으로 최대 10MHz 이내가 바람직하며, GATE 는 사용하고자 하는 용도에 따라서 High,Low 상태가 될 수 있습니다. COMI-SD501 에 사용된 COMI-SD 카운터는 이러한 기능 외에 별도의 엔코더를 사용할 수 있는 기능이 추가 되었으며 채널도 4 채널로 확장되었습니다. COMI-SD502 에 사용된 COMI-SD 카운터는 용도가 주파수의 주기를 측정하는 기능 위주로 구성되어 있습니다. 또한 채널도 10 채널로 확장되었습니다. 외부의 펄스 신호를 GATE 에 연결하여 현재 입력되는 Clk 의 주파수에 따라 카운트수가 결정되고 사용자는 이를 참조하여 외부 펄스 신호의 주기를 측정할 수 있습니다.



[그림 1-19] 일반적인 카운트 기능

[그림 1-19]와 같이 사용자가 외부 펄스 신호의 개수를 단순히 얻고자 할 경우에 GATE 신호를 High 상태로 하고 CLK 신호의 입력으로 외부의 펄스 신호를 연결하면 됩니다.



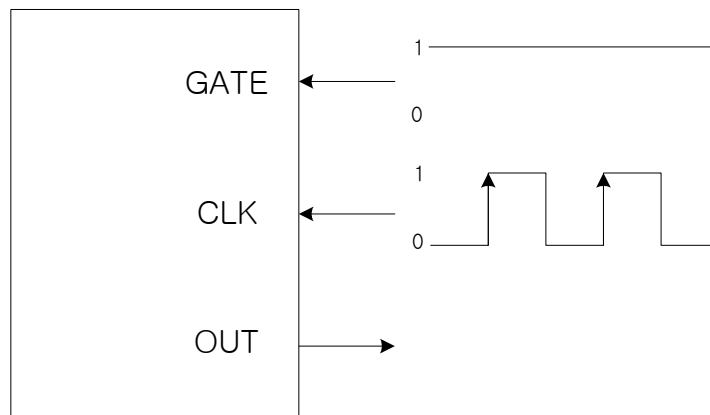
[그림 1-20] 주파수 측정 카운트 기능

[그림 1-20]은 COM1-SD502 에 장착된 기능으로 GATE 의 신호에 주기를 측정하고자 하는 펄스 신호를 입력으로 연결합니다. 또한 CLK 신호에는 이미 주파수를 알고 있는 펄스 신호를 입력으로 연결합니다. 따라서 GATE 가 HIGH 인 상태에서 CLK 신호가 유효하며 이때의 CLK 신호의 개수로 GATE 신호의 주기를 측정할 수 있습니다. [그림 1-20]과 같이 같은 주기의 신호라도 GATE 가 처음 HIGH 상태에는 4 개, 다음 HIGH 상태에는 5 개의 CLK 신호가 측정됩니다. 따라서 이러한 에러를 줄이기 위해서는 측정하고자 하는 신호의 주기보다 최소 1000 배 이상의 고주파를 CLK 신호로 연결하는 것이 바람직 합니다.



### 1-6. Intel 8253/4 Counter 신호 연결

COMI-CP 시리즈에는 보드에 따라 Intel 8253/4 카운터가 장착되어 있습니다. Intel 8253/4 카운터는 가장 일반적이고 널리 사용되는 카운터입니다. 사용 모드는 총 6 개의 모드가 정의 될 수 있으며 사용자의 용도에 따라 모드가 결정 되어 집니다. 연결방법은 모드에 따라 달라지며 자세한 설명은 부록 1 을 참조하십시오.



[그림 1-21] Intel 8253/4 카운터의 연결

## 2. A/D 변환 종류

모든 아날로그 신호를 컴퓨터를 통하여 기록하거나 연산해야 할 경우 Analog To Digital 변환은 반드시 필요합니다. 다음은 기본적인 A/D 변환 방법입니다..

### ♥ Simultaneous A/D Converter (Flash Conversion)

병렬로 연결된 Differential Comparator 가 기준 전압과 아날로그 신호를 비교하는 방법입니다. 비교한 결과를 Encoder 에 연결하여 원하는 Binary 출력을 얻습니다. 이 방법의 장점은 빠른 속도에 있고 단점은 Comparator 가 많이 필요합니다.

### ♥ Stairstep-ramp A/D Converter (Digital Ramp or Counter)

이 방법은 Digital Ramp 또는 Counter 방법으로 알려져 있으며 D/A Converter 와 Binary Counter 가 내장되어 있습니다. 카운터가 순차적으로 증가되면 D/A Converter 의 출력이 증가되게 회로를 구성하고 이를 Comparator 에 아날로그 입력신호와 연결하여 비교합니다. 이를 반복하여 원하는 A/D 변환을 수행합니다. 이 방법은 Simultaneous 방법보다 느리고 최악의 경우 입력 신호가 최대값 일 때 가장 느립니다.

### ♥ Tracking A/D Converter (Up/Down Counter)

이 방법은 Staitstep-ramp 방법과 거의 동일 하나 알고리즘의 발달로 속도가 더욱 빠릅니다. 이전 아날로그 입력을 변환한 값을 Latch 에 저장하여 이 값을 시작으로 Binary Counter 가 동작되어 시간을 단축합니다. 그러나 아날로그 입력신호가 불안정하면 Comparator 가 증가,감소를 반복하는 것이 단점입니다.

## ♥ Single-slope A/D Converter

일반적인 Voltmeter 에 많이 쓰이는 방법으로 위의 두 가지 방법과는 다르게 D/A Converter 를 사용하지 않고 Linear Ramp Generator 를 사용합니다.

이것은 Comparator 에 연결되는 기준 전압을 일정 기울기로 증가시켜 외부의 아날로그 입력신호와 순차적으로 비교합니다.

## ♥ Dual-Slope A/D Converter

이 방법도 일반적인 Voltmeter 나 계측기기에 사용하는 방법으로 Single-slope 와 거의 비슷하나 Ramp Generator 의 전압 변화의 기울기를 바꿔 속도를 향상시켰습니다.

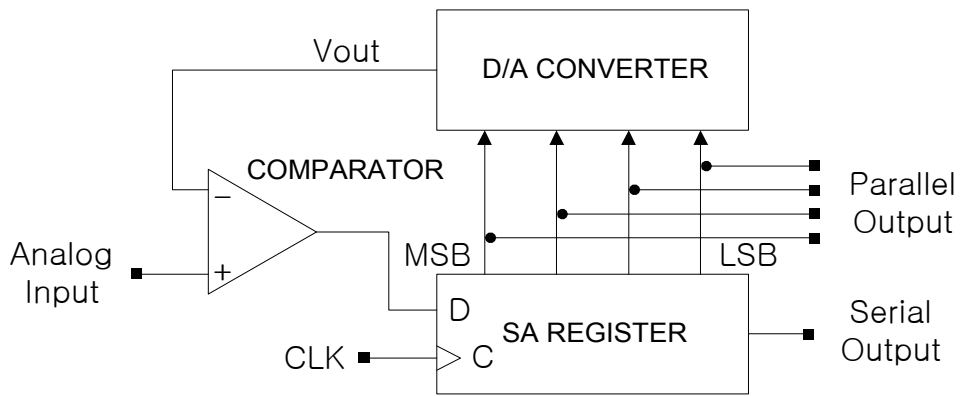
## ♥ Successive-Approximation A/D Converter

이 방법은 가장 널리 쓰이는 A/D 변환 방법으로 커미조아 보드에서도 이 방법을 사용하는 칩이 장착되어 있습니다. 이 방법은 어떤 아날로그 입력신호에 따라서도 A/D 변환 속도가 일정하며 위에 소개된 방법 중 제일 빠릅니다.

이 방법은 D/A Converter, SAR(Successive Approximation Register), Comparator 를 사용합니다. 동작방법은 MSB(Most Significant Bit)부터 LSB(Least Significant Bit)까지 순차적으로 D/A 를 구동 시켜 아날로그 입력신호와 비교합니다.

## ♥ 기타 특수 용도의 A/D Converter

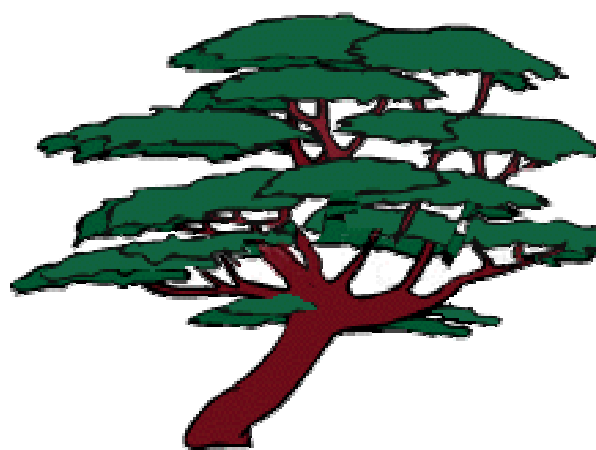
위에 소개된 방법 외에 다른 방법도 있을 수 있으며 특수 용도에 사용하기 위해 제작합니다.



[그림 1-22] Successive-Approximation A/D

---

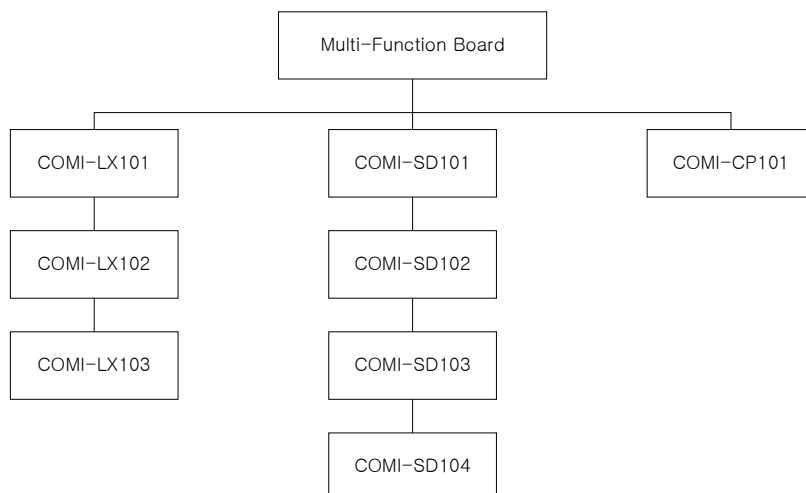
# PART II





## CHAPTER 2.Multi-Function Board

Multi-Function Data Acquisition Board 는 아날로그 입력부와 아날로그 출력부, 디지털 입출력부와 카운터 등의 다기능을 가진 보드를 말합니다. 일반적으로 전용보드와는 성능 차이가 거의 없으며 사용자가 계측하거나 제어하려는 채널이 다양하거나 PC 슬롯 수가 부족한 경우 유용하게 사용되어 질 수 있습니다. (주)커미조아는 PC based Data Acquisition Board 시리즈로 LX,SD,CP 시리즈가 있습니다. LX 시리즈는 최강의 기능과 편리성을 가지고 있으며 고급사용자를 위한 시리즈입니다. COMI-BUS 가 탑재되어 있어 보드를 여러 장 설치하고 각 보드 간의 제어 신호의 통신 등으로 보드의 성능을 살릴 수 있습니다. 또한 별도의 내부 점퍼가 없어 모든 기능이 소프트웨어적으로 설정이 가능합니다. SD 시리즈는 일반적으로 많이 사용되는 시리즈로 가격대비 성능이 좋으며 CP 시리즈는 가격이 매우 저렴합니다. 산업용으로 사용하지 않을 경우에는 CP 시리즈도 좋은 선택이 될 수 있습니다.



[그림 2-1] COMIZOA Multi-Function Boards

## 1.COMI-SD101

COMI-SD101 은 Single Ended 16 채널 또는 Differential 8 채널 아날로그 입력, 2 채널 아날로그 출력 , 각각 8 채널의 디지털 입출력, 그리고 2 채널 카운터를 내장하고 있습니다. 사용자가 응용하고자 하는 일반적인 사양에 가장 적합한 Multi-Function Data Acquisition Board 입니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 입력부는 12Bits Resolution 으로 최대 샘플링 속도가 110KHz 이며, 16 채널 Single-Ended 또는 Differential 8 채널의 아날로그 입력신호를 처리할 수 있습니다. 그리고 각 채널의 Gain (Voltage Range) 설정이  $\pm 1V$ ,  $\pm 2V$ ,  $\pm 5V$ ,  $\pm 10V$ ,  $0\sim 1V$ ,  $0\sim 2V$ ,  $0\sim 5V$ ,  $0\sim 10V$  으로 사용자 설정이 가능하여 Data Resolution 을 높였습니다.

아날로그 출력부는 12Bits Resolution 으로 2 채널이 사용 가능합니다.

### ◆ 사용 가능한 터미널 보드

COMI-SDT1 (page124 참조)

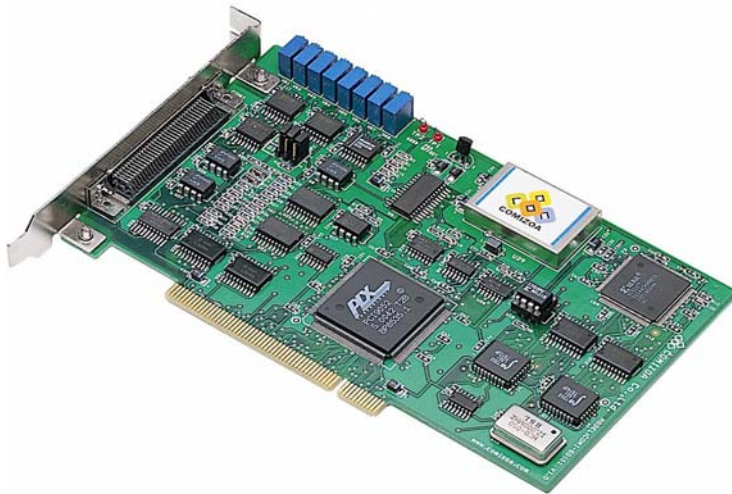
### ◆ 사용 가능한 케이블

COMI-SDCABLE1 (page133 참조)

COMI-SDCABLE2 (page133 참조)



## 1-1.COMI-SD101 사양



[그림 2-2] COMI-SD101

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크기 ..... 177 \* 107 mm
- ▷ PNP (Plug &Play)

### 1-1-1. 입출력 채널

- ▷ 아날로그 입력 ..... Single-Ended 16 채널  
또는 Differential 8 채널
- ▷ 아날로그 출력 ..... 2 채널
- ▷ 디지털 입력 ..... 8 채널
- ▷ 디지털 출력 ..... 8 채널
- ▷ 타이머 ..... 2 채널

## Chapter2. Multi-Function Board

### 1-1-2. A/D Conversion

- ▷ Complete 12 Bit A/D Conversion
- ▷ A/D Converter ..... Burr Brown ADS774
- ▷ Type of ADC ..... Successive approximation
- ▷ A/D Channel ..... Single-Ended 16 or Differential 8
- ▷ Input Voltage Range .....  $\pm 10V$ ,  $\pm 5V$ ,  $\pm 2$ ,  $\pm 1V$   
0~10V, 0~5V, 0~2V, 0~1V
- ▷ Resolution ..... 12 Bits, 1 in 4096
- ▷ Maximum Sampling Rate ..... 110KHz
- ▷ Streaming to Disk Rate ..... 110KHz (Tested on PentiumIII  
700MHz )
- ▷ Input Impedance ..... 10M Ohm
- ▷ A/D Trigger Mode ..... Programmable Timer, Software,  
External
- ▷ Data Transfer ..... Programmed I/O, Interrupt
- ▷ Channel Configuration ..... Gain, Channel No

### 1-1-3. D/A Conversion

- ▷ D/A Converter ..... Burr Brown DAC7545
- ▷ D/A Channel ..... 2 Channels (for single DC)
- ▷ Resolution ..... 12 Bits, 1 in 4096
- ▷ Setting Time ..... 2 $\mu$ sec
- ▷ Output Voltage Range .....  $\pm 10V$
- ▷ Data Transfer ..... Programmed I/O

#### 1-1-4. Digital Input

- ▷ TTL Compatible Input
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)
- ▷ Data Transfer ..... Programmed I/O

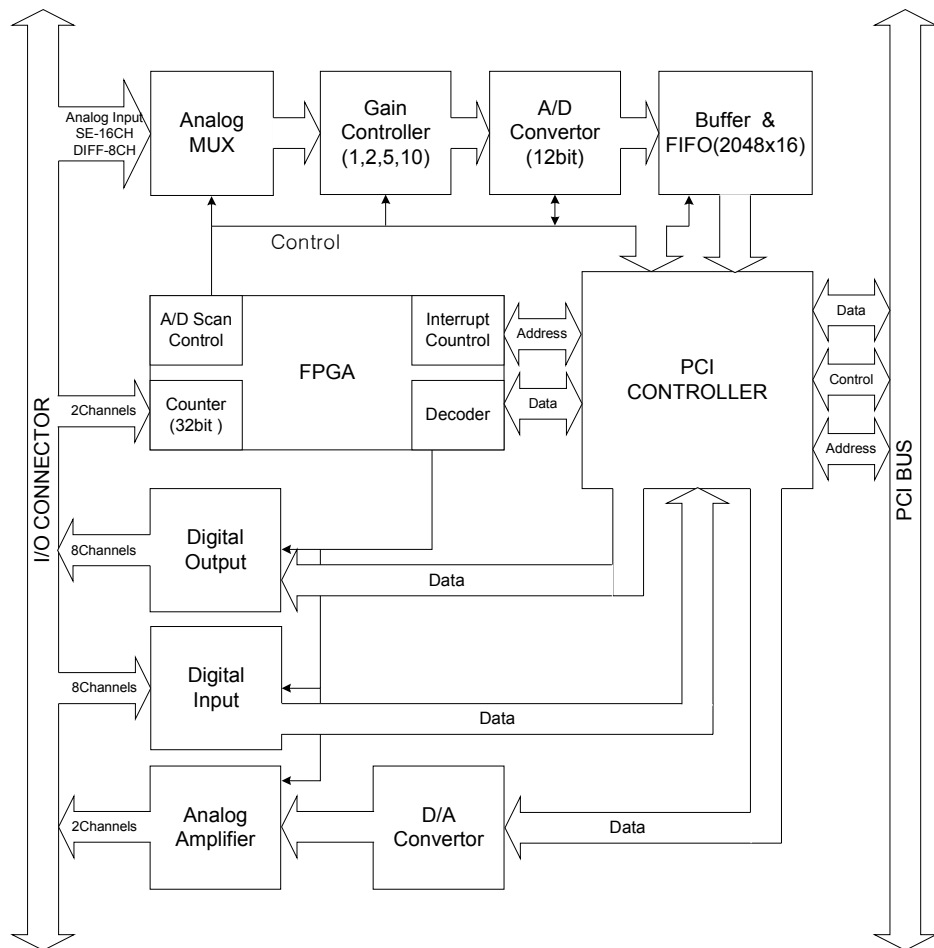
#### 1-1-5. Digital Output

- ▷ TTL Compatible Output
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ..... Programmed I/O

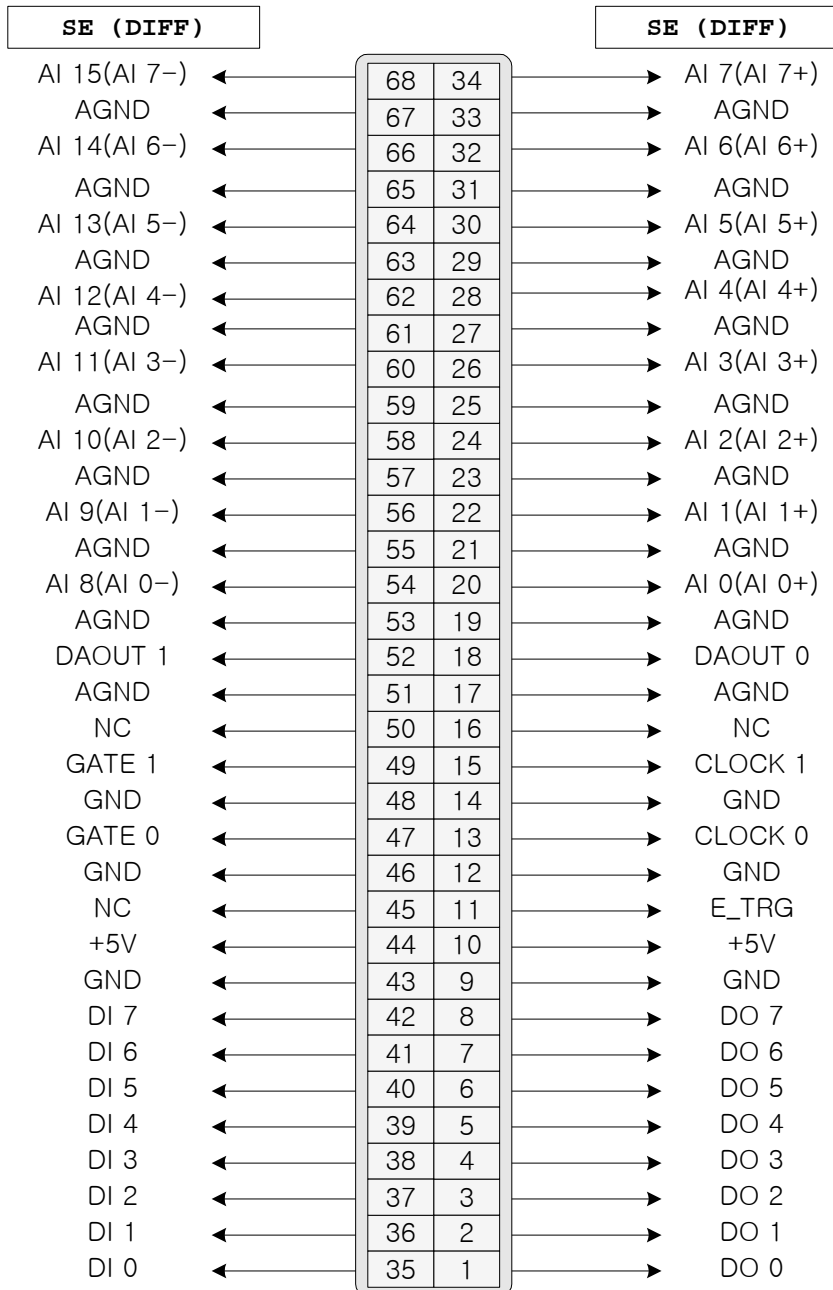
#### 1-1-6. COMI-SD Counter

- ▷ COMI-SD Counter
- ▷ Clock Input Channel ..... 2 Channels
- ▷ Resolution ..... 32Bits
- ▷ Gate Input
- ▷ Software Reset
- ▷ Real Time Clock

## 1-2.COMI-SD101 구조



[그림 2-3] COMI-SD101 Hardware 개념도



[그림 2-4] COMI-SD101 커넥터 핀 배열

## Chapter2. Multi-Function Board

| Signal Name            | Reference | I/O | Description                                |
|------------------------|-----------|-----|--------------------------------------------|
| AI<0..15>              | AGND      | 입력  | 아날로그 입력 채널 (single ended 0 부터 15 번)        |
| AI<0..7>-<br>AI<0..7>+ | AGND      | 입력  | 아날로그 입력 채널 (Differential 0 부터 7 번)         |
| AGND                   |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점             |
| DAOUT0                 | AGND      | 출력  | 아날로그 출력 채널 0                               |
| DAOUT1                 | AGND      | 출력  | 아날로그 출력 채널 1                               |
| GATE0                  | DGND      | 입력  | COMI-SD Counter0 GATE0 번                   |
| CLK0                   | DGND      | 입력  | COMI-SD Counter0 Clock0 번                  |
| GATE1                  | DGND      | 입력  | COMI-SD Counter1 GATE1 번                   |
| CLK1                   | DGND      | 입력  | COMI-SD Counter1 Clock1 번                  |
| E_TRG                  | DGND      | 입력  | A/D 변환 외부 트리거. 사용자가 별도의 외부신호를 입력 받아 A/D 변환 |
| DGND                   |           |     | 디지털 그라운드                                   |
| VCC                    | DGND      | 출력  | 5V 출력                                      |
| DI<0..7>               | DGND      | 입력  | 디지털 입력 채널(0 부터 7 번)                        |
| DO<0..7>               | DGND      | 출력  | 디지털 출력 채널(0 부터 7 번)                        |

➤ 표 2-1. COMI-SD101 68Pin Connector

## 2.COMI-SD103

COMI-SD103 은 Single Ended 16 채널 또는 Differential 8 채널 아날로그 입력, 2 채널 아날로그 출력 , 각각 8 채널의 디지털 입출력, 그리고 2 채널 카운터를 내장하고 있습니다. 사용자가 응용하고자 하는 일반적인 고속 사양에 적합한 Multi-Function Data Acquisition Board 입니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 입력부는 12Bits Resolution 으로 최대 샘플링 속도가 330KHz 이며, 16 채널 Single-Ended 또는 Differential 8 채널의 아날로그 입력신호를 처리할 수 있습니다. 그리고 각 채널의 Gain (Voltage Range) 설정이  $\pm 1V$ ,  $\pm 2V$ ,  $\pm 5V$ ,  $\pm 10V$ ,  $0\sim 1V$ ,  $0\sim 2V$ ,  $0\sim 5V$ ,  $0\sim 10V$  으로 사용자 설정이 가능하여 Data Resolution 을 높였습니다.

아날로그 출력부는 12Bits Resolution 으로 2 채널이 사용 가능합니다.

### ◆ 사용 가능한 터미널 보드

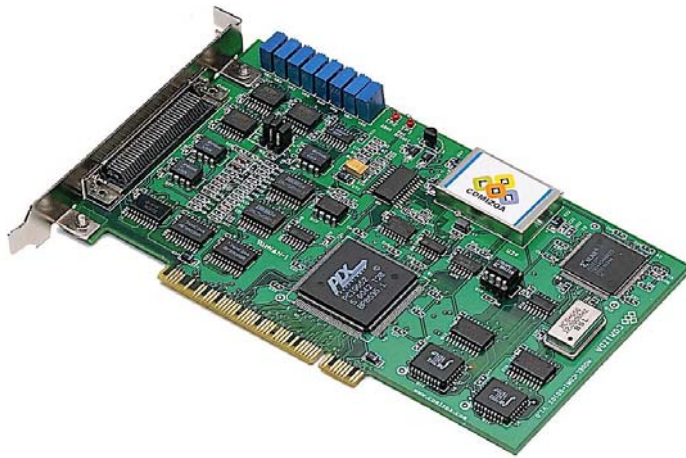
COMI-SDT1 (page124 참조)

### ◆ 사용 가능한 케이블

COMI-SDCABLE1 (page133 참조)

COMI-SDCABLE2 (page133 참조)

## 2-1.COMI-SD103 사양



[그림 2-5] COMI-SD103

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크기 ..... 177 \* 107 mm
- ▷ PNP (Plug &Play)

### 2-1-1. 입출력 채널

- ▷ 아날로그 입력 ..... Single-Ended 16 채널  
또는 Differential 8 채널
- ▷ 아날로그 출력 ..... 2 채널
- ▷ 디지털 입력 ..... 8 채널
- ▷ 디지털 출력 ..... 8 채널
- ▷ 타이머 ..... 2 채널



## 2-1-2. A/D Conversion

- ▷ Complete 12 Bit A/D Conversion
- ▷ A/D Converter ..... Burr Brown ADS7800
- ▷ Type of ADC ..... Successive approximation
- ▷ A/D Channel ..... Single-Ended 16 or Differential 8
- ▷ Input Voltage Range .....  $\pm 10V$ ,  $\pm 5V$ ,  $\pm 2$ ,  $\pm 1V$   
0~10V, 0~5V, 0~2V, 0~1V
- ▷ Resolution ..... 12 Bits, 1 in 4096
- ▷ Maximum Sampling Rate ..... 330KHz
- ▷ Streaming to Disk Rate ..... 330KHz (Tested on PentiumIII  
700MHz )
- ▷ Input Impedance ..... 10M Ohm
- ▷ A/D Trigger Mode ..... Programmable Timer, Software,  
External
- ▷ Data Transfer ..... Programmed I/O, Interrupt
- ▷ Channel Configuration ..... Gain, Channel No

## 2-1-3. D/A Conversion

- ▷ D/A Converter ..... Burr Brown DAC7545
- ▷ D/A Channel ..... 2 Channels (for single DC)
- ▷ Resolution ..... 12 Bits, 1 in 4096
- ▷ Setting Time ..... 2 $\mu$ sec
- ▷ Output Voltage Range .....  $\pm 10V$
- ▷ Data Transfer ..... Programmed I/O

## Chapter2. Multi-Function Board

### 2-1-4. Digital Input

- ▷ TTL Compatible Input
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)
- ▷ Data Transfer ..... Programmed I/O

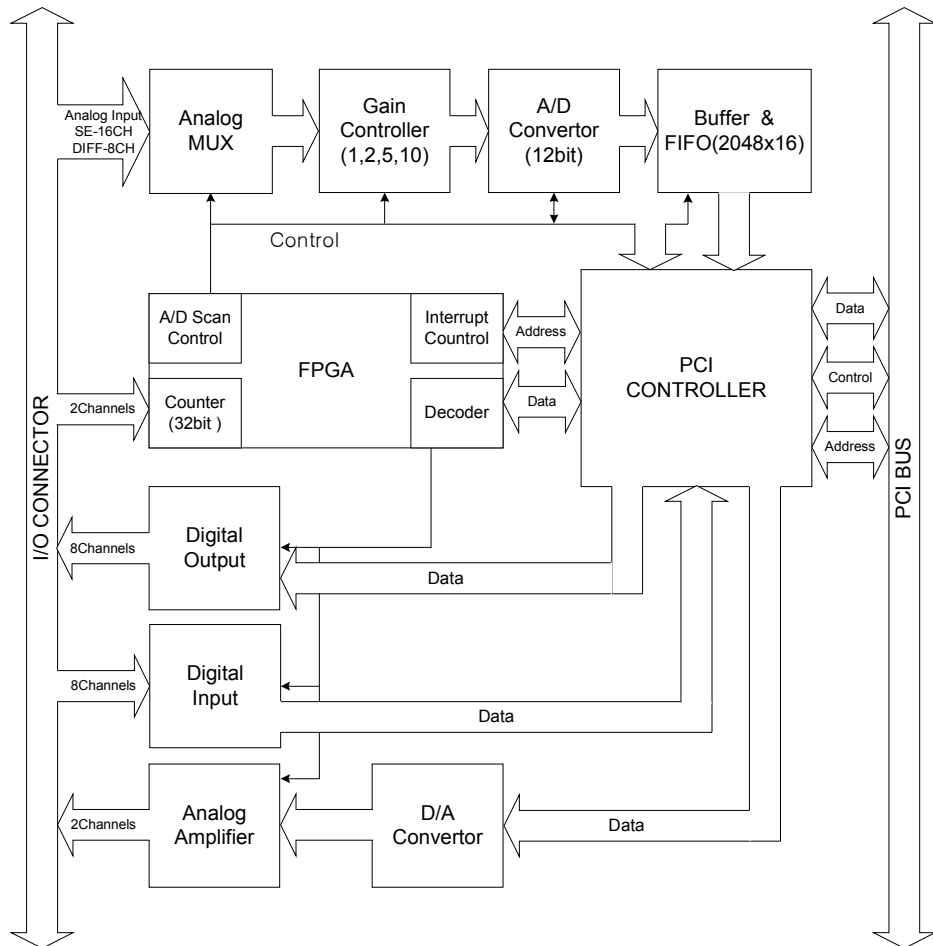
### 2-1-5. Digital Output

- ▷ TTL Compatible Output
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ..... Programmed I/O

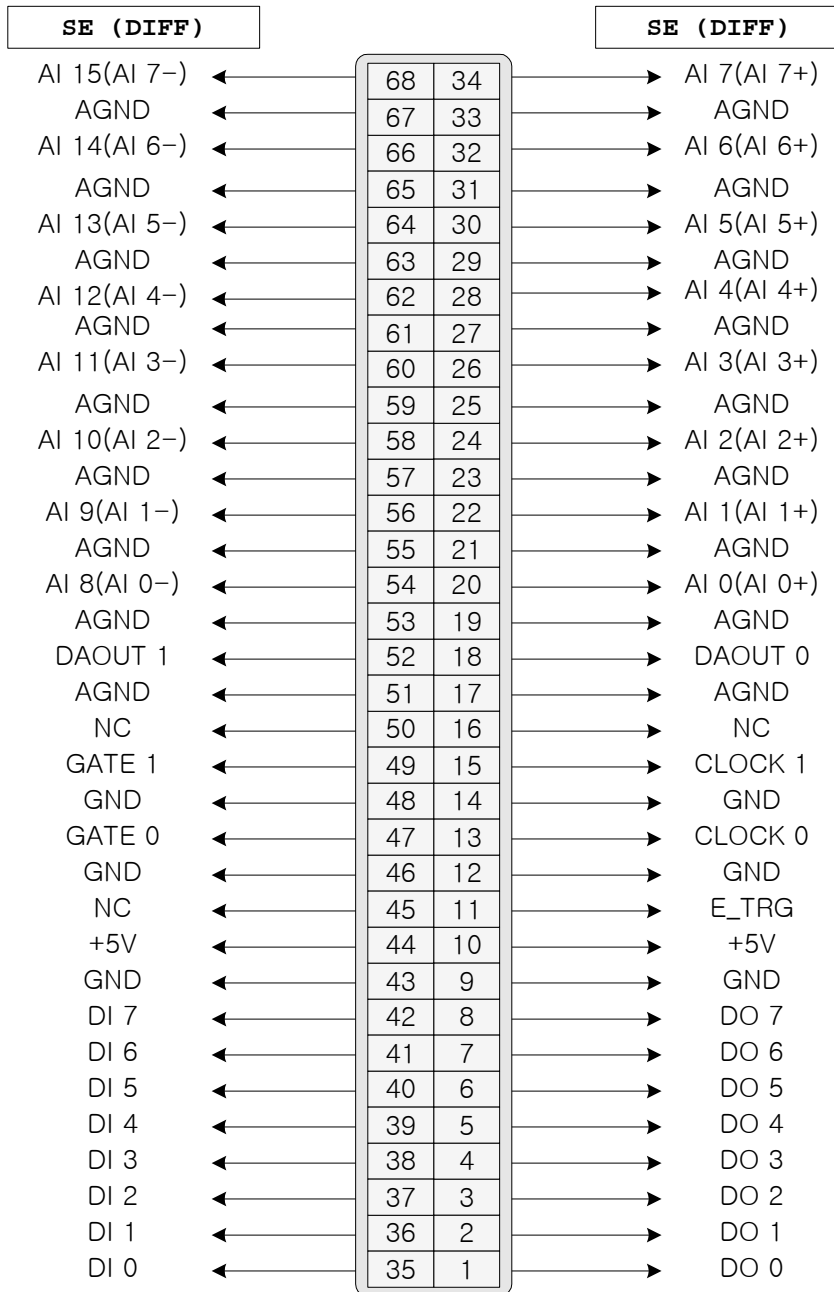
### 2-1-6. COMI-SD Counter

- ▷ COMI-SD Counter
- ▷ Clock Input Channel ..... 2 Channels
- ▷ Resolution ..... 32Bits
- ▷ Gate Input
- ▷ Software Reset
- ▷ Real Time Clock

## 2-2.COMI-SD103 구조



[그림 2-6] COMI-SD103 Hardware 개념도



[그림 2-7] COM1-SD103 커넥터 핀 배열

| Signal Name            | Reference | I/O | Description                                |
|------------------------|-----------|-----|--------------------------------------------|
| AI<0..15>              | AGND      | 입력  | 아날로그 입력 채널 (single ended 0 부터 15 번)        |
| AI<0..7>-<br>AI<0..7>+ | AGND      | 입력  | 아날로그 입력 채널 (Differential 0 부터 7 번)         |
| AGND                   |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점             |
| DAOUT0                 | AGND      | 출력  | 아날로그 출력 채널 0                               |
| DAOUT1                 | AGND      | 출력  | 아날로그 출력 채널 1                               |
| GATE0                  | DGND      | 입력  | COMI-SD Counter0 GATE0 번                   |
| CLK0                   | DGND      | 입력  | COMI-SD Counter0 Clock0 번                  |
| GATE1                  | DGND      | 입력  | COMI-SD Counter1 GATE1 번                   |
| CLK1                   | DGND      | 입력  | COMI-SD Counter1 Clock1 번                  |
| E_TRG                  | DGND      | 입력  | A/D 변환 외부 트리거. 사용자가 별도의 외부신호를 입력 받아 A/D 변환 |
| DGND                   |           |     | 디지털 그라운드                                   |
| VCC                    | DGND      | 출력  | 5V 출력                                      |
| DI<0..7>               | DGND      | 입력  | 디지털 입력 채널(0 부터 7 번)                        |
| DO<0..7>               | DGND      | 출력  | 디지털 출력 채널(0 부터 7 번)                        |

➤ 표 2-2. COMI-SD103 68Pin Connector

### 3.COMI-SD104

COMI-SD104 는 Single Ended 16 채널 또는 Differential 8 채널 아날로그 입력, 2 채널 아날로그 출력 , 각각 8 채널의 디지털 입출력, 그리고 2 채널 카운터를 내장하고 있습니다. 사용자가 응용하고자 하는 일반적인 고속 고 정밀 사양에 가장 적합한 Multi-Function Data Acquisition Board 입니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 입력부는 14Bits Resolution 으로 최대 샘플링 속도가 370KHz 이며, 16 채널 Single-Ended 또는 Differential 8 채널의 아날로그 입력신호를 처리할 수 있습니다. 그리고 각 채널의 Gain (Voltage Range) 설정이  $\pm 1V$ ,  $\pm 2V$ ,  $\pm 5V$ ,  $\pm 10V$ ,  $0\sim 1V$ ,  $0\sim 2V$ ,  $0\sim 5V$ ,  $0\sim 10V$  으로 사용자 설정이 가능하여 Data Resolution 을 높였습니다.

아날로그 출력부는 12Bits Resolution 으로 2 채널이 사용 가능합니다.

◆ 사용 가능한 터미널 보드

COMI-SDT1 (page124 참조)

◆ 사용 가능한 케이블

COMI-SDCABLE1 (page133 참조)

COMI-SDCABLE2 (page133 참조)

### 3-1.COMI-SD104 사양



[그림 2-8] COMI-SD104

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크기 ..... 195 \* 107 mm
- ▷ PNP (Plug &Play)

#### 3-1-1. 입출력 채널

- ▷ 아날로그 입력 ..... Single-Ended 16 채널  
또는 Differential 8 채널
- ▷ 아날로그 출력 ..... 2 채널
- ▷ 디지털 입력 ..... 8 채널
- ▷ 디지털 출력 ..... 8 채널
- ▷ 타이머 ..... 2 채널

## Chapter2. Multi-Function Board

### 3-1-2. A/D Conversion

- ▷ Complete 12 Bit A/D Conversion
- ▷ A/D Converter ..... Burr Brown ADS7899
- ▷ Type of ADC ..... Successive approximation
- ▷ A/D Channel ..... Single-Ended 16 or Differential 8
- ▷ Input Voltage Range .....  $\pm 10V$ ,  $\pm 5V$ ,  $\pm 2$ ,  $\pm 1V$   
0~10V, 0~5V, 0~2V, 0~1V
- ▷ Resolution ..... 14 Bits, 1 in 16384
- ▷ Maximum Sampling Rate ..... 375KHz
- ▷ Streaming to Disk Rate ..... 375KHz (Tested on PentiumIII  
700MHz )
- ▷ Input Impedance ..... 10M Ohm
- ▷ A/D Trigger Mode ..... Programmable Timer, Software,  
External
- ▷ Data Transfer ..... Programmed I/O, Interrupt
- ▷ Channel Configuration ..... Gain, Channel No

### 3-1-3. D/A Conversion

- ▷ D/A Converter ..... Burr Brown DAC7545
- ▷ D/A Channel ..... 2 Channels (for single DC Output)
- ▷ Resolution ..... 12 Bits, 1 in 4096
- ▷ Setting Time ..... 2 $\mu$ sec
- ▷ Output Voltage Range .....  $\pm 10V$
- ▷ Data Transfer ..... Programmed I/O



### 3-1-4. Digital Input

- ▷ TTL Compatible Input
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)
- ▷ Data Transfer ..... Programmed I/O

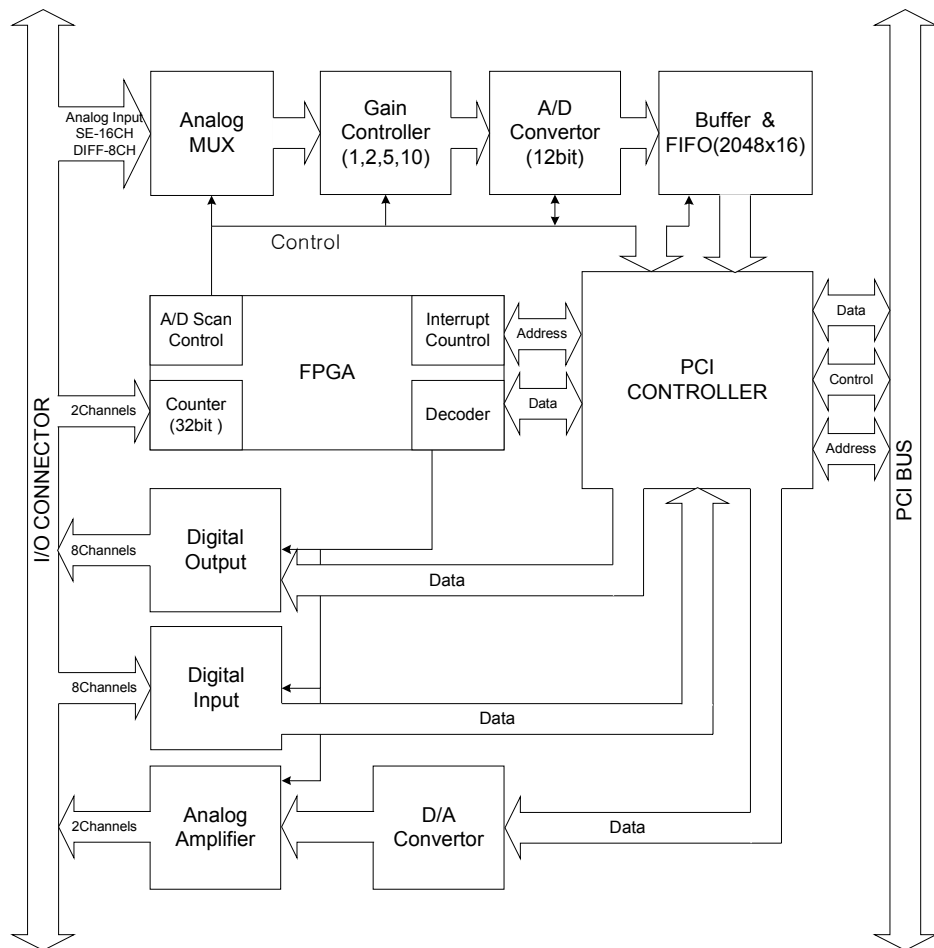
### 3-1-5. Digital Output

- ▷ TTL Compatible Output
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ..... Programmed I/O

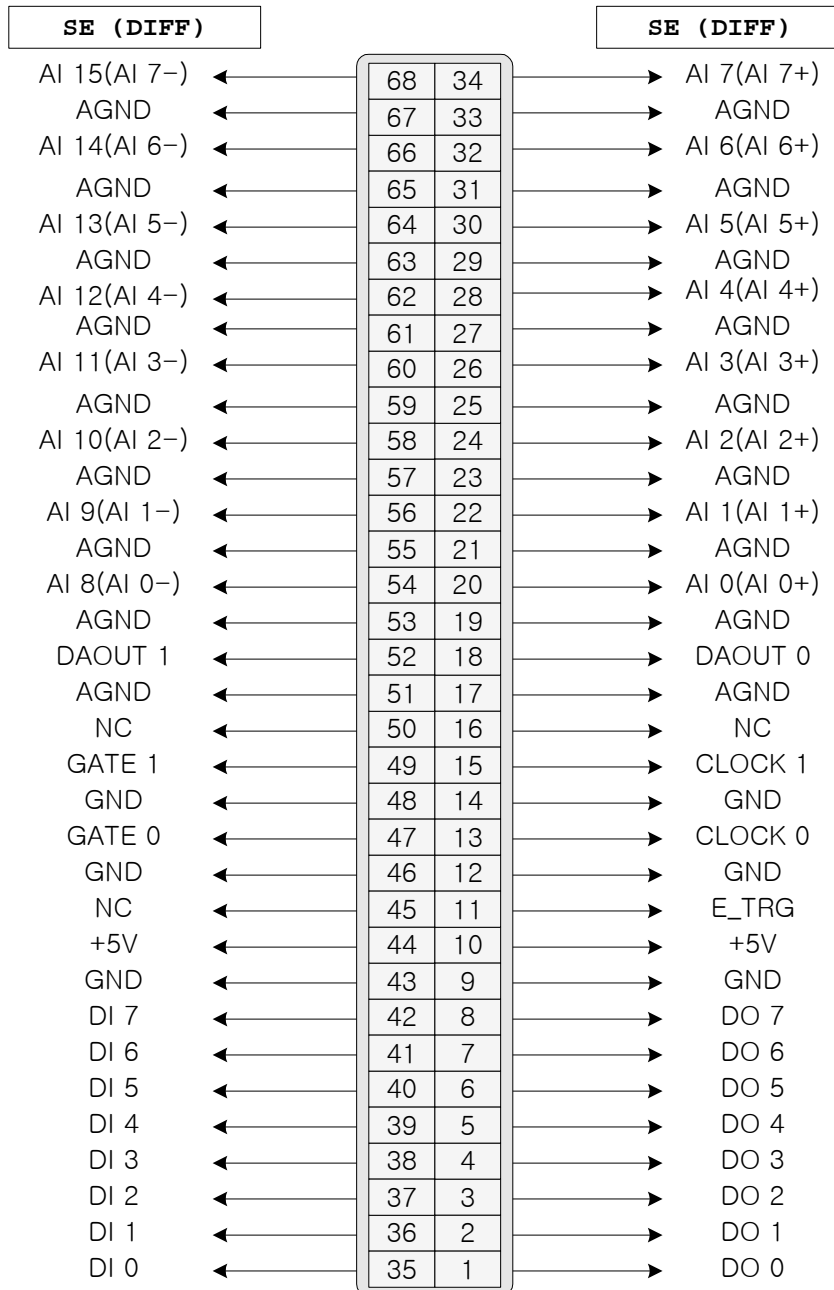
### 3-1-6. COMI-SD Counter

- ▷ COMI-SD Counter
- ▷ Clock Input Channel ..... 2 Channels
- ▷ Resolution ..... 32Bits
- ▷ Gate Input
- ▷ Software Reset
- ▷ Real Time Clock

### 3-2.COMI-SD104 구조



[그림 2-9] COMI-SD104 Hardware 개념도



[그림 2-10] COM1-SD104 커넥터 핀 배열

## Chapter2. Multi-Function Board

| Signal Name            | Reference | I/O | Description                                |
|------------------------|-----------|-----|--------------------------------------------|
| AI<0..15>              | AGND      | 입력  | 아날로그 입력 채널 (single ended 0 부터 15 번)        |
| AI<0..7>-<br>AI<0..7>+ | AGND      | 입력  | 아날로그 입력 채널 (Differential 0 부터 7 번)         |
| AGND                   |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점             |
| DAOUT0                 | AGND      | 출력  | 아날로그 출력 채널 0                               |
| DAOUT1                 | AGND      | 출력  | 아날로그 출력 채널 1                               |
| GATE0                  | DGND      | 입력  | COMI-SD Counter0 GATE0 번                   |
| CLK0                   | DGND      | 입력  | COMI-SD Counter0 Clock0 번                  |
| GATE1                  | DGND      | 입력  | COMI-SD Counter1 GATE1 번                   |
| CLK1                   | DGND      | 입력  | COMI-SD Counter1 Clock1 번                  |
| E_TRG                  | DGND      | 입력  | A/D 변환 외부 트리거. 사용자가 별도의 외부신호를 입력 받아 A/D 변환 |
| DGND                   |           |     | 디지털 그라운드                                   |
| VCC                    | DGND      | 출력  | 5V 출력                                      |
| DI<0..7>               | DGND      | 입력  | 디지털 입력 채널(0 부터 7 번)                        |
| DO<0..7>               | DGND      | 출력  | 디지털 출력 채널(0 부터 7 번)                        |

➤ 표 2-3. COMI-SD104 68Pin Connector

#### 4.COMI-CP101

COMI-CP101 은 Single Ended 8 채널 아날로그 입력, 1 채널 아날로그 출력, 각각 8 채널의 디지털 입출력, 그리고 1 채널 카운터를 내장하고 있습니다. 사용자가 응용하고자 하는 일반적인 사양에 가장 적합한 Multi-Function Data Acquisition Board 입니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 입력부는 12Bits Resolution 으로 최대 샘플링 속도가 30KHz 이며, 8 채널 Single-Ended 의 아날로그 입력신호를 처리할 수 있습니다. 그리고 각 채널의 Gain (Voltage Range)설정이  $\pm 1V$ ,  $\pm 2V$ ,  $\pm 5V$ ,  $\pm 10V$  로 사용자 설정이 가능하여 Data Resolution 을 높였습니다. 아날로그 출력부는 12Bits Resolution 으로 1 채널이 사용 가능합니다.

◆ 사용 가능한 터미널 보드

COMI-CPT1 (page127 참조)

◆ 사용 가능한 케이블

COMI-CPCABLE1 (page134 참조)

COMI-CPCABLE2 (page134 참조)

#### 4-1.COMI-CP101 사양



[그림 2-11] COMI-CP101

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크 기 ..... 155 \* 100 mm
- ▷ PNP (Plug &Play)

##### 4-1-1. 입출력 채널

- ▷ 아날로그 입력 ..... Single-Ended 8 Channels
- ▷ 아날로그 출력 ..... 1 Channel
- ▷ 디지털 입력 ..... 8 Channels
- ▷ 디지털 출력 ..... 8 Channels
- ▷ 타이머 ..... 1 Channel

#### 4-1-2. A/D Conversion

- ▷ Complete 12 Bit A/D Conversion
- ▷ A/D Converter ..... Burr Brown ADS7806
- ▷ Type of ADC ..... Successive approximation
- ▷ A/D Channel ..... Single-Ended 8
- ▷ Input Voltage Range .....  $\pm 10V$ ,  $\pm 5V$ ,  $\pm 2$ ,  $\pm 1V$
- ▷ Resolution ..... 12 Bits, 0 in 4095
- ▷ Maximum Sampling Rate ..... 30KHz
- ▷ Streaming to Disk Rate ..... 30KHz (Tested on PentiumIII  
700MHz )
- ▷ Input Impedance ..... 100 GOhm
- ▷ A/D Trigger Mode ..... Programmable Timer, Software,  
External
- ▷ Data Transfer ..... Programmed I/O, Interrupt
- ▷ Channel Configuration ..... Gain, Channel No

#### 4-1-3. D/A Conversion

- ▷ D/A Converter ..... Burr Brown DAC7545
- ▷ D/A Channel ..... 1 Channel (for single DC Output)
- ▷ Resolution ..... 12 Bits, 0 in 4095
- ▷ Setting Time ..... 2 $\mu$ sec
- ▷ Output Voltage Range .....  $\pm 10V$
- ▷ Data Transfer ..... Programmed I/O

## Chapter2. Multi-Function Board

### 4-1-4. Digital Input

- ▷ TTL Compatible Input
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)
- ▷ Data Transfer ..... Programmed I/O

### 4-1-5. Digital Output

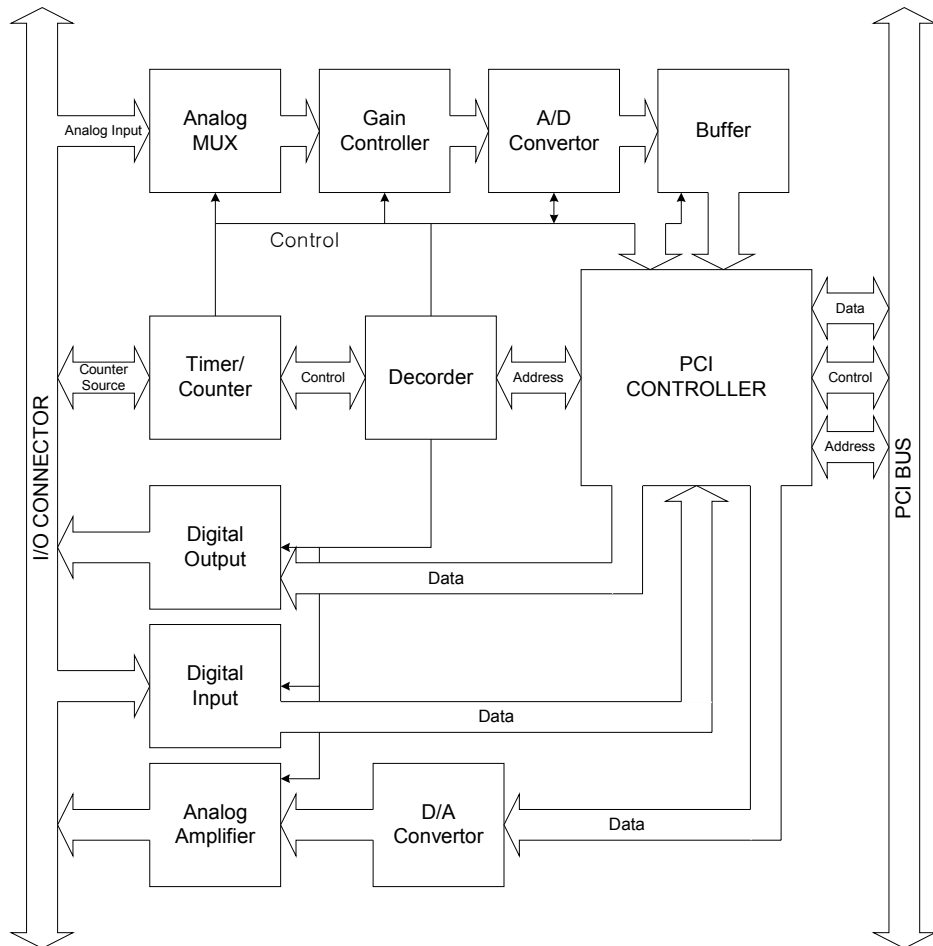
- ▷ TTL Compatible Output
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ..... Programmed I/O

### 4-1-6. Programmable Counter

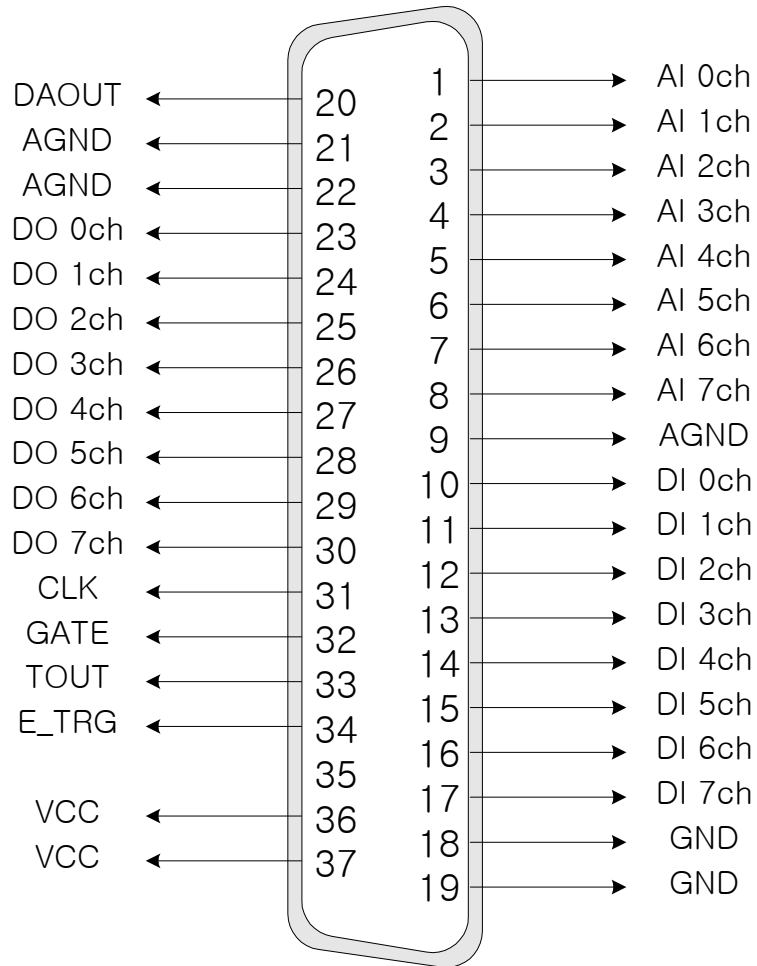
- ▷ Intel 8254
- ▷ Channel ..... 1 Channel
- ▷ Resolution ..... 16Bits
- ▷ Programmable Rate Generator
- ▷ Real Time Clock
- ▷ Digital One-Shot



## 4-2.COMI-CP101 구조



[그림 2-12] COMI-CP101 Hardware 개념도



[그림 2-13] COM1-CP101 커넥터 핀 배열

| Signal Name | Reference | I/O | Description                                 |
|-------------|-----------|-----|---------------------------------------------|
| AI<0..7>    | AGND      | 입력  | 아날로그 입력 채널 (single ended 0 부터 7 번)          |
| AGND        |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점              |
| DAOUT       | AGND      | 출력  | 아날로그 출력 채널                                  |
| TOUT        | DGND      | 출력  | 8253/4 타이머의 OUT0 번                          |
| GATE        | DGND      | 입력  | 8253/4 타이머의 GATE0 번                         |
| CLK         | DGND      | 입력  | 8253/4 타이머의 CLK0 번                          |
| E_TRG       | DGND      | 입력  | A/D 변환 외부 트리거. 사용자가 별도의 외부 신호를 입력 받아 A/D 변환 |
| DGND        |           |     | 디지털 그라운드                                    |
| VCC         | DGND      | 출력  | 5V 출력                                       |
| DI<0..7>    | DGND      | 입력  | 디지털 입력 채널                                   |
| DO<0..7>    | DGND      | 출력  | 디지털 출력 채널                                   |

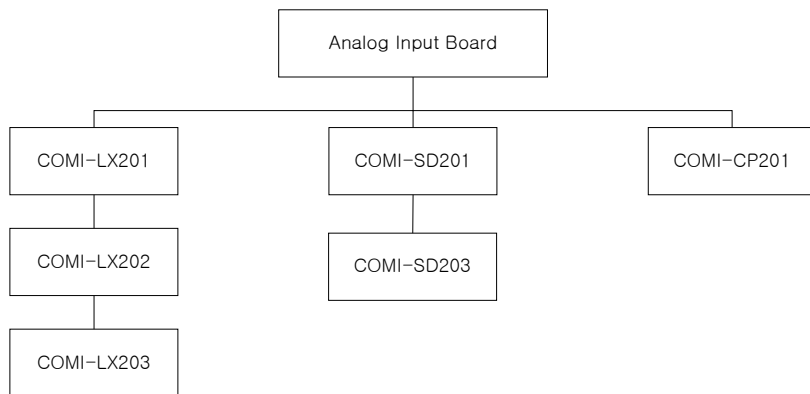
➤ 표 2-4. COM1-CP101 DSUB-37P Connector Pin

## Chapter2. Multi-Function Board

---

## CHAPTER 3. Analog Input Board

아날로그 입력보드는 아날로그 신호를 입력으로 받아 디지털로 변환하는 기능을 전문으로 하는 보드입니다. 그러나 소수의 디지털 입출력 채널은 보드에 삽입되어있는 경우도 있습니다. LX 시리즈는 버스 마스터 기능과 COMI-BUS 가 내장되어 있어 DMA 를 이용한 고속 데이터 전송과 여러 장의 보드 장착할 경우 각 보드간의 동기 및 컨트롤 신호가 공유되거나 종속되어 질 수 있습니다. 그리고 점퍼가 없어 모든 기능이 소프트웨어적으로 설정이 가능하며 자동 캘리브레이션 기능이 있습니다. SD 시리즈는 16 비트의 정밀도를 가지고 있으며 일반적인 아날로그 입력 전용 보드입니다. COMI-CP201 은 COMI-CP101 보다 채널이 16 채널로 8 채널이 많습니다.



[그림 2-14] COMIZOA Analog Input Boards

## 1.COMI-SD201

COMI-SD201 은 Single Ended 16 채널 또는 Differential 8 채널 아날로그 입력, 각각 8 채널의 디지털 입출력, 그리고 2 채널 카운터를 내장하고 있습니다. 사용자가 응용하고자 하는 일반적인 아날로그 입력 보드 사양에 가장 적합한 Analog Input Data Acquisition Board 입니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가 가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 입력부는 16 Bit Resolution 으로 고정밀도이며 최대 샘플링 속도가 100KHz 이며, 16 채널 Single-Ended 또는 Differential 8 채널의 아날로그 입력신호를 처리할 수 있습니다. 그리고 각 채널의 Gain (Voltage Range)설정이  $\pm 1V$ ,  $\pm 2V$ ,  $\pm 5V$ ,  $\pm 10V$ ,  $0\sim 1V$ ,  $0\sim 2V$ ,  $0\sim 5V$ ,  $0\sim 10V$  으로 사용자 설정이 가능합니다.

### ◆ 사용 가능한 터미널 보드

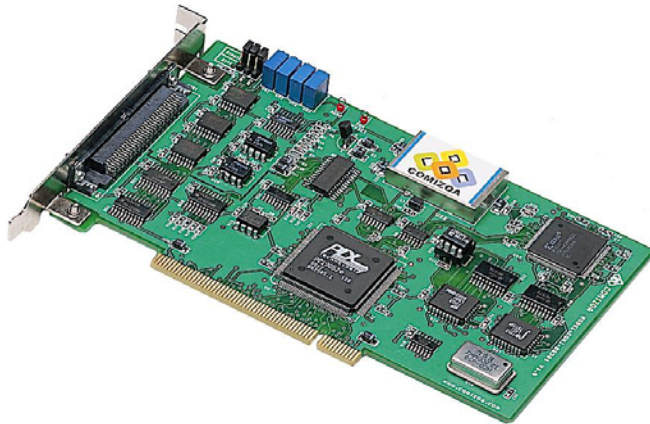
COMI-SDT1 (page124 참조)

### ◆ 사용 가능한 케이블

COMI-SDCABLE1 (page133 참조)

COMI-SDCABLE2 (page133 참조)

### 1-1.COMI-SD201 사양



[그림 2-15] COMI-SD201

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크기 ..... 174 \* 107 mm
- ▷ PNP (Plug &Play)

#### 1-1-1. 입출력 채널

- ▷ 아날로그 입력 ..... Single-Ended 16 채널  
또는 Differential 8 채널
- ▷ 디지털 입력 ..... 8 채널
- ▷ 디지털 출력 ..... 8 채널
- ▷ 타이머 ..... 2 채널

## Chapter3. Analog Input Board

### 1-1-2. A/D Conversion

- ▷ Complete 16 Bit A/D Conversion
- ▷ A/D Converter ..... Burr Brown ADS7805
- ▷ Type of ADC ..... Successive approximation
- ▷ A/D Channel ..... Single-Ended 16 or Differential 8
- ▷ Input Voltage Range .....  $\pm 10V$ ,  $\pm 5V$ ,  $\pm 2$ ,  $\pm 1V$   
0~10V, 0~5V, 0~2V, 0~1V
- ▷ Resolution ..... 16 Bits, 1 in 65535
- ▷ Maximum Sampling Rate ..... 100KHz
- ▷ Streaming to Disk Rate ..... 100KHz (Tested on PentiumIII  
700MHz )
- ▷ Input Impedance ..... 10M Ohm
- ▷ A/D Trigger Mode ..... Programmable Timer, Software,  
External
- ▷ Data Transfer ..... Programmed I/O, Interrupt
- ▷ Channel Configuration ..... Gain, Channel No

### 1-1-3. Digital Input

- ▷ TTL Compatible Input
- ▷ Channel ..... 5 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)
- ▷ Data Transfer ..... Programmed I/O

### 1-1-4. Digital Output

- ▷ TTL Compatible Output

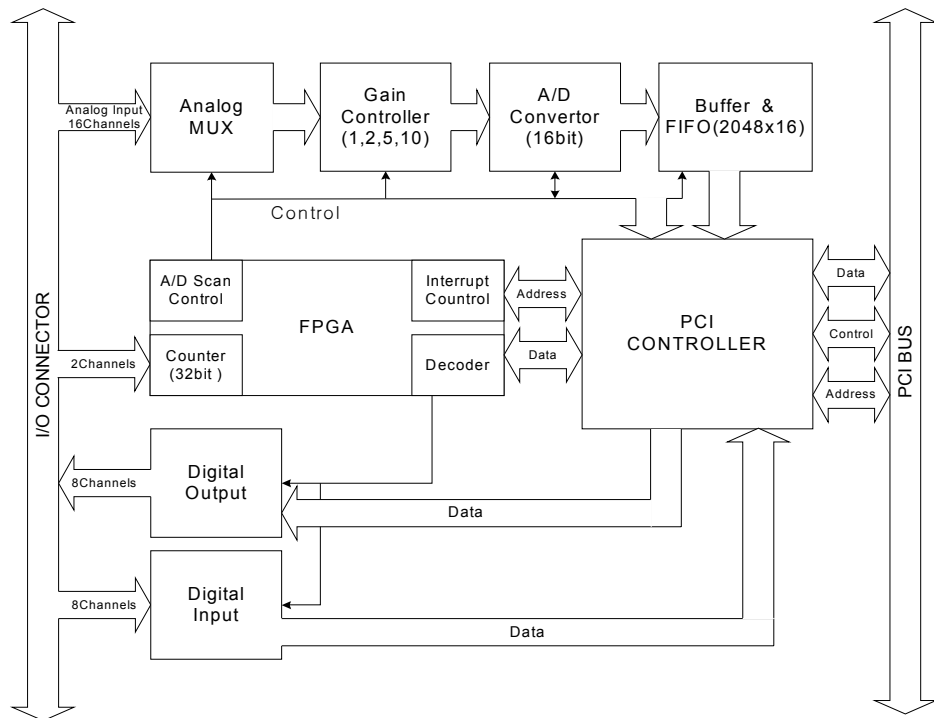


- ▷ Channel ..... 5 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ..... Programmed I/O

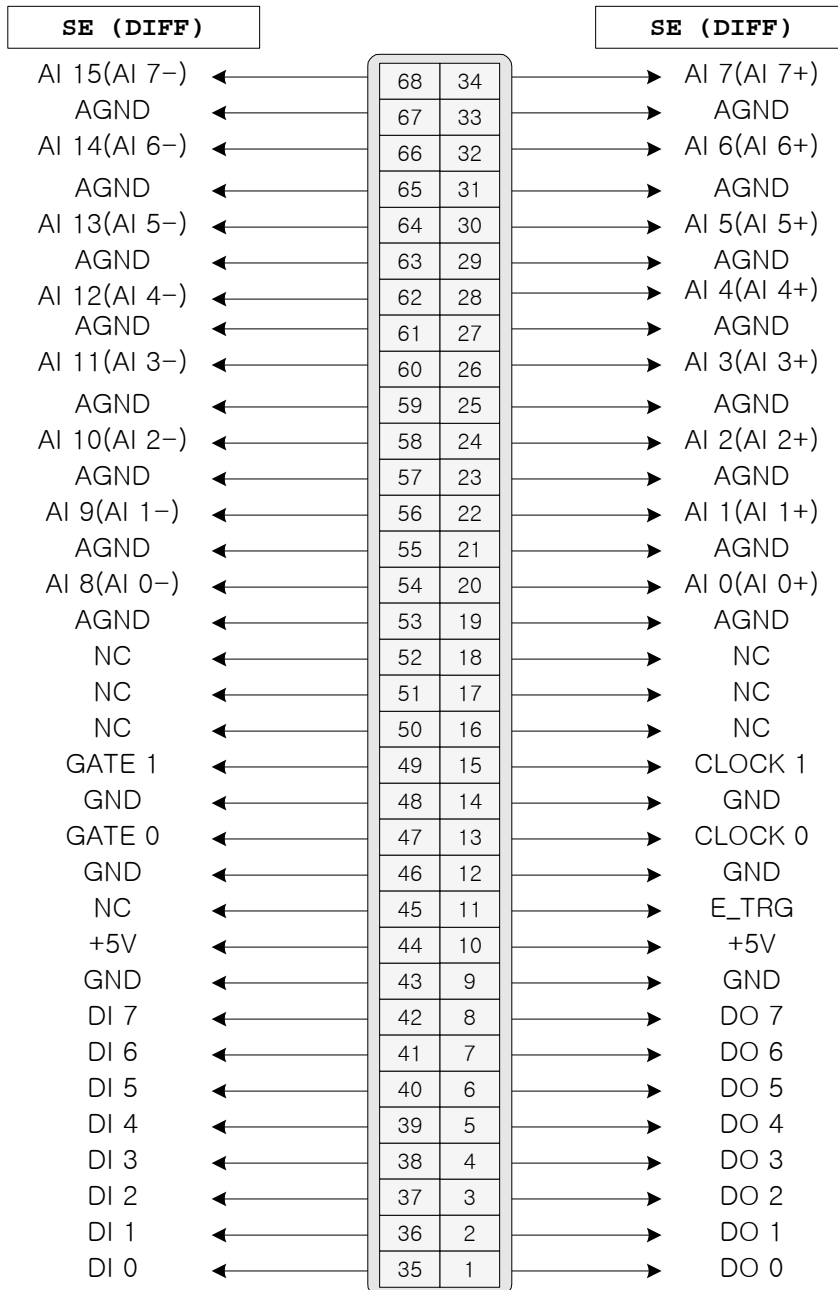
#### 1-1-5. COMI-SD Counter

- ▷ COMI-SD Counter
- ▷ Clock Input Channel .... 2 Channels
- ▷ Resolution ..... 32Bits
- ▷ Gate Input
- ▷ Software Reset
- ▷ Real Time Clock

1-2.COMI-SD201 구조



[그림 2-16] COMI-SD201 Hardware 개념도



[그림 2-17] COM1-SD201 커넥터 핀 배열

### Chapter3. Analog Input Board

| Signal Name            | Reference | I/O | Description                                |
|------------------------|-----------|-----|--------------------------------------------|
| AI<0..15>              | AGND      | 입력  | 아날로그 입력 채널 (single ended 0 부터 15 번)        |
| AI<0..7>-<br>AI<0..7>+ | AGND      | 입력  | 아날로그 입력 채널 (Differential 0 부터 7 번)         |
| AGND                   |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점             |
| GATE0                  | DGND      | 입력  | COMI-SD Counter0 GATE0 번                   |
| CLK0                   | DGND      | 입력  | COMI-SD Counter0 Clock0 번                  |
| GATE1                  | DGND      | 입력  | COMI-SD Counter1 GATE1 번                   |
| CLK1                   | DGND      | 입력  | COMI-SD Counter1 Clock1 번                  |
| E_TRG                  | DGND      | 입력  | A/D 변환 외부 트리거. 사용자가 별도의 외부신호를 입력 받아 A/D 변환 |
| DGND                   |           |     | 디지털 그라운드                                   |
| VCC                    | DGND      | 출력  | 5V 출력                                      |
| DI<0..7>               | DGND      | 입력  | 디지털 입력 채널(0 부터 7 번)                        |
| DO<0..7>               | DGND      | 출력  | 디지털 출력 채널(0 부터 7 번)                        |

➤ 표 2-5. COMI-SD201 68Pin Connector

## 2.COMI-SD203

COMI-SD203 은 Single Ended 32 채널 또는 Differential 16 채널 아날로그 입력, 각각 16 채널의 디지털 입출력을 내장하고 있습니다. 사용자가 응용하고자 하는 일반적인 아날로그 입력 보드 사양에 가장 적합한 Analog Input Data Acquisition Board입니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 입력부는 16 Bit Resolution 으로 고정밀도이며 최대 샘플링 속도가 100KHz 이며, 32 채널 Single-Ended 또는 Differential 16 채널의 아날로그 입력신호를 처리할 수 있습니다. 그리고 각 채널의 Gain (Voltage Range)설정이  $\pm 1.25V$ ,  $\pm 2.5V$ ,  $\pm 5V$ ,  $\pm 10V$  으로 사용자 설정이 가능합니다.

### ◆ 사용 가능한 터미널 보드

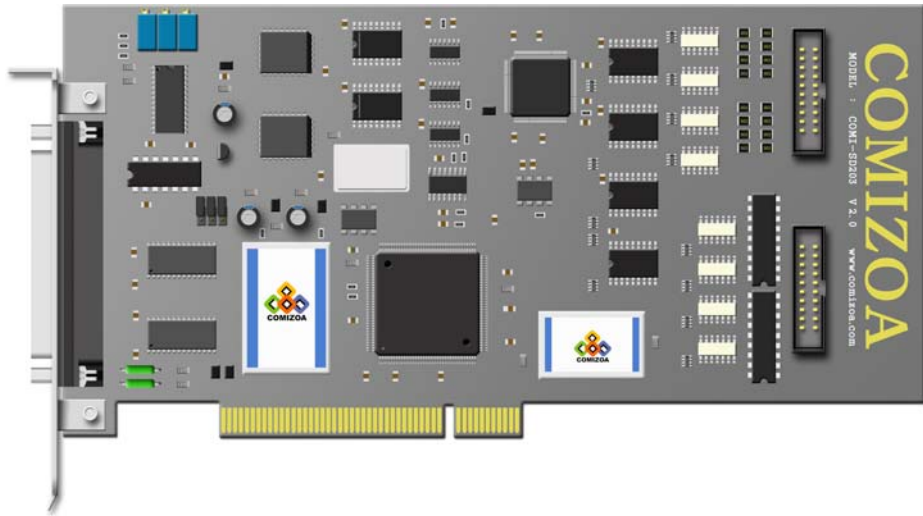
COMI-CPT1B (page129 참조)

### ◆ 사용 가능한 케이블

COMI-CPCABLE1 (page134 참조)

COMI-CPCABLE2 (page134 참조)

## 2-1.COMI-SD203 사양



[그림 2-18] COMI-SD203

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크기 ..... 174 \* 107 mm
- ▷ PNP (Plug &Play)

### 2-1-1. 입출력 채널

- ▷ 아날로그 입력 ..... Single-Ended 32 채널  
또는 Differential 16 채널
- ▷ 디지털 입력 ..... Isolated 16 채널
- ▷ 디지털 출력 ..... Isolated 16 채널

## 2-1-2. A/D Conversion

- ▷ Complete 16 Bit A/D Conversion
- ▷ A/D Converter ..... Analog Devices AD976
- ▷ Type of ADC ..... Successive approximation
- ▷ A/D Channel ..... Single-Ended 32 or Differential 16
- ▷ Input Voltage Range .....  $\pm 10V$ ,  $\pm 5V$ ,  $\pm 2.5V$ ,  $\pm 1.25V$   
( $\pm 10V$ ,  $\pm 1V$ ,  $\pm 100mV$ ,  $\pm 10\text{ mV}$ )
- ▷ Resolution ..... 16 Bits, 1 in 65535
- ▷ Maximum Sampling Rate .... 100KHz
- ▷ Streaming to Disk Rate ..... 100KHz (Tested on PentiumIII  
700MHz)
- ▷ Input Impedance ..... 10M Ohm
- ▷ A/D Trigger Mode ..... Programmable Timer, Software,  
External
- ▷ Data Transfer ..... Programmed I/O, Interrupt
- ▷ Channel Configuration .... Gain, Channel No

## 1-1-3. Digital Input

- ▷ Isolated Input
- ▷ Channel ..... 16 Channels
- ▷ Voltage Level ..... Low(0 ~ 1.5V), High(3V ~ 24V)
- ▷ Isolation Voltage ..... 5000 Vrms
- ▷ Data Transfer ..... Programmed I/O

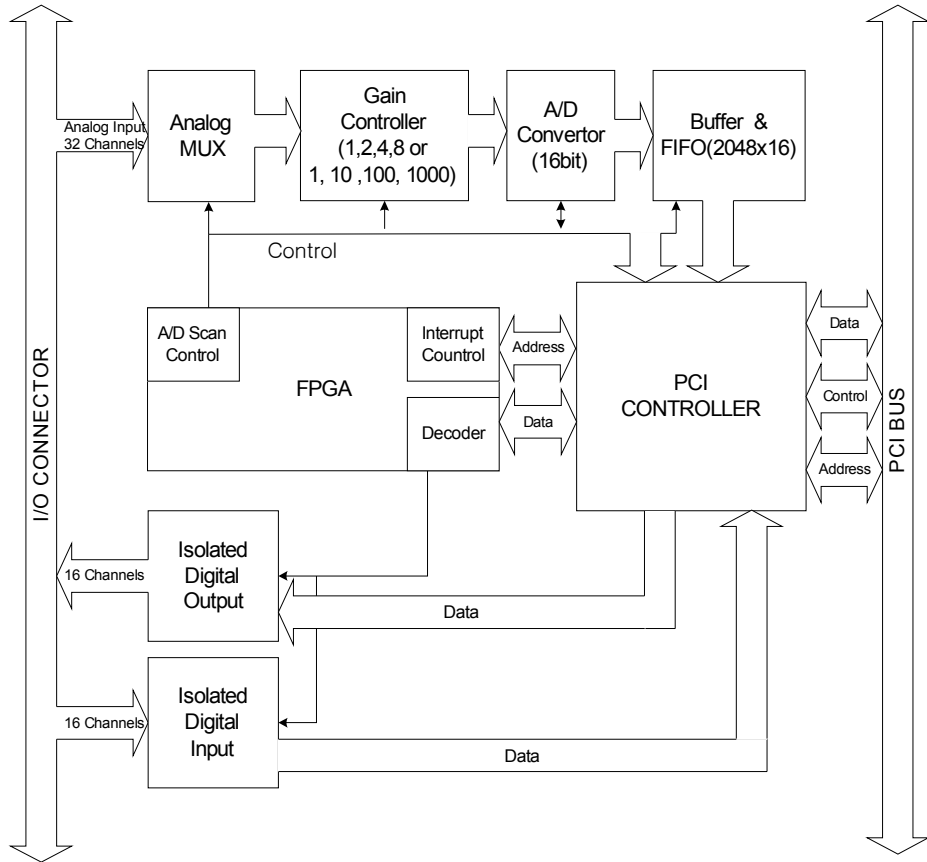
## Chapter3. Analog Input Board

### 1-1-4. Digital Output

- ▷ Isolated Output
- ▷ Channel ..... 16 Channels
- ▷ Output Type ..... Open Emitter 0.5 to 50 Vdc
- ▷ Source Current ..... 500 mA per channel  
60 mA maximum simultaneously
- ▷ Isolation Voltage ..... 5000 Vrms

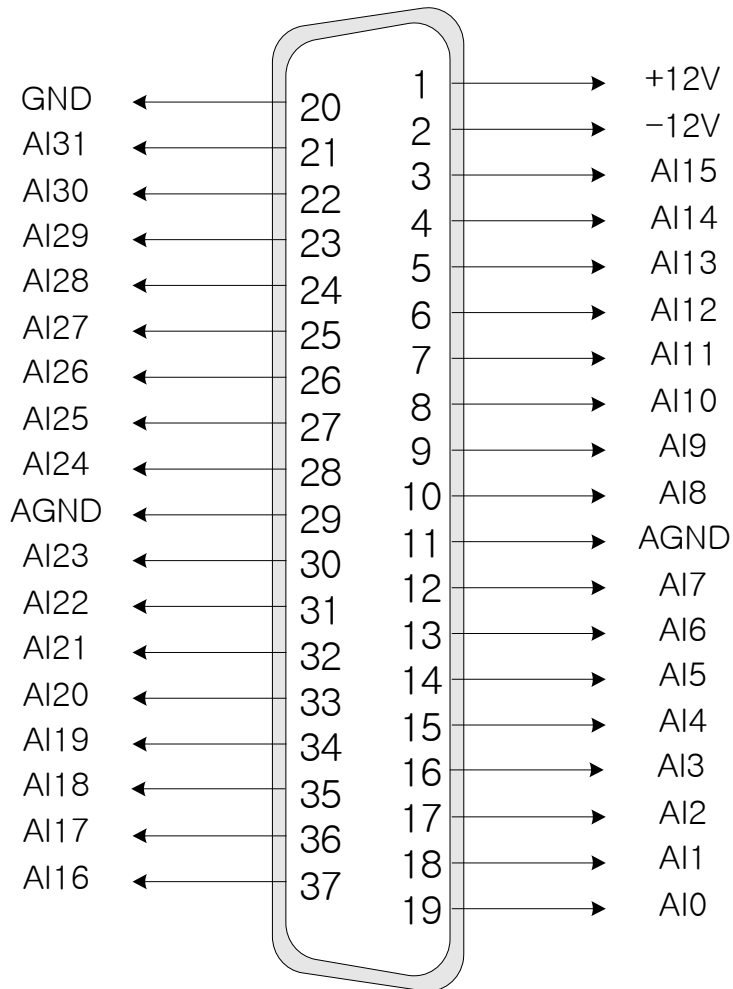


2-2.COMI-SD203 구조



[그림 2-19] COMI-SD203 Hardware 개념도

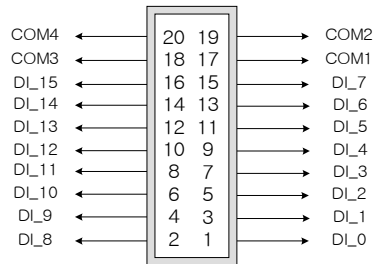
### Chapter3. Analog Input Board



[그림 2-20] COM1-SD203 커넥터 핀 배열

| Signal Name              | Reference | I/O | Description                         |
|--------------------------|-----------|-----|-------------------------------------|
| AI<0..31>                | AGND      | 입력  | 아날로그 입력 채널 (single ended 0 부터 16 번) |
| AI<0..15>-<br>AI<0..15>+ | AGND      | 입력  | 아날로그 입력 채널 (Differential 0 부터 15 번) |
| AGND                     |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점      |

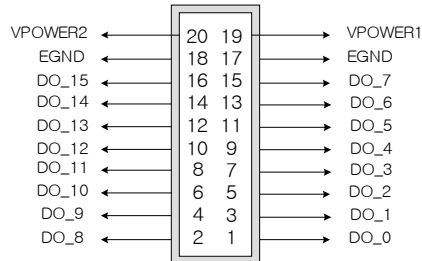
➤ 표 2-6. COM1-SD203 37Pin Connector



[그림 2-21] COM1-SD203 커넥터 P1 핀 배열

| Signal Name | Reference | I/O | Description      |
|-------------|-----------|-----|------------------|
| DI<0..15>   | COM       | 입력  | 디지털 입력채널         |
| COM1        |           |     | DI<0..3>의 공통단자   |
| COM2        | DGND      |     | DI<4..7>의 공통단자   |
| COM3        | DGND      |     | DI<8..11>의 공통단자  |
| COM4        | DGND      |     | DI<12..15>의 공통단자 |

➤ 표 2-7. COM1-SD203 20Pin P1 Header Connector



[그림 2-22] COM1-SD203 커넥터 P2 핀 배열

| Signal Name | Reference | I/O | Description     |
|-------------|-----------|-----|-----------------|
| DO<0..15>   | EGND      | 입력  | 디지털 출력채널        |
| EGND        |           | 입력  | 디지털 그라운드        |
| VPOWER1     | EGND      |     | DO<0..7>의 전원공급  |
| VPOWER2     | EGND      |     | DO<8..15>의 전원공급 |

### Chapter3. Analog Input Board

➤ 표 2-8. COMI-SD203 20Pin P2 Header Connector

## 2.COMI-CP201

COMI-CP201 은 Single Ended 16 채널 아날로그 입력, 각각 5 채널의 디지털 입출력, 그리고 1 채널 16 비트 카운터를 내장하고 있습니다. 전용 아날로그 입력 보드인 COMI-CP201 은 다채널의 아날로그 입력신호를 처리하는 응용분야에 사용되어질 수 있습니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 입력부는 12Bits Resolution 으로 최대 샘플링 속도가 30KHz 이며, 16 채널 Single-Ended 의 아날로그 입력신호를 처리할 수 있습니다. 그리고 각 채널의 Gain (Voltage Range)설정이  $\pm 1V$ ,  $\pm 2V$ ,  $\pm 5V$ ,  $\pm 10V$  로 사용자 설정이 가능하여 Data Resolution 을 높였습니다.

### ◆ 사용 가능한 터미널 보드

COMI-CPT1 (page127 참조)

### ◆ 사용 가능한 케이블

COMI-CPCABLE1 (page134 참조)

COMI-CPCABLE2 (page134 참조)

## 2-1.COMI-CP201 사양



[그림 2-23] COMI-CP201

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크 기 ..... 145 \* 100 mm
- ▷ PNP (Plug &Play)

### 2-1-1. 입출력 채널

- ▷ 아날로그 입력 ..... Single-Ended 16 Channels
- ▷ 디지털 입력 ..... 5 Channels
- ▷ 디지털 출력 ..... 5 Channels
- ▷ 타이머 ..... 1 Channel

### 2-1-2. A/D Conversion

- ▷ Complete 12 Bit A/D Conversion

- ▷ A/D Converter ..... Burr Brown ADS7806
- ▷ Type of ADC ..... Successive approximation
- ▷ A/D Channel ..... Single-Ended 16
- ▷ Input Voltage Range .....  $\pm 10V$ ,  $\pm 5V$ ,  $\pm 2$ ,  $\pm 1V$
- ▷ Resolution ..... 12 Bits, 0 in 4095
- ▷ Maximum Sampling Rate ..... 30KHz
- ▷ Streaming to Disk Rate ..... 30KHz (Tested on PentiumIII  
700MHz )
- ▷ Input Impedance ..... 100 GOhm
- ▷ A/D Trigger Mode ..... Programmable Timer, Software,  
External
- ▷ Data Transfer ..... Programmed I/O, Interrupt
- ▷ Channel Configuration ..... Gain, Channel No

### 2-1-3. Digital Input

- ▷ TTL Compatible Input
- ▷ Channel ..... 5 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)
- ▷ Data Transfer ..... Programmed I/O

### 2-1-4. Digital Output

- ▷ TTL Compatible Output
- ▷ Channel ..... 5 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ..... Programmed I/O

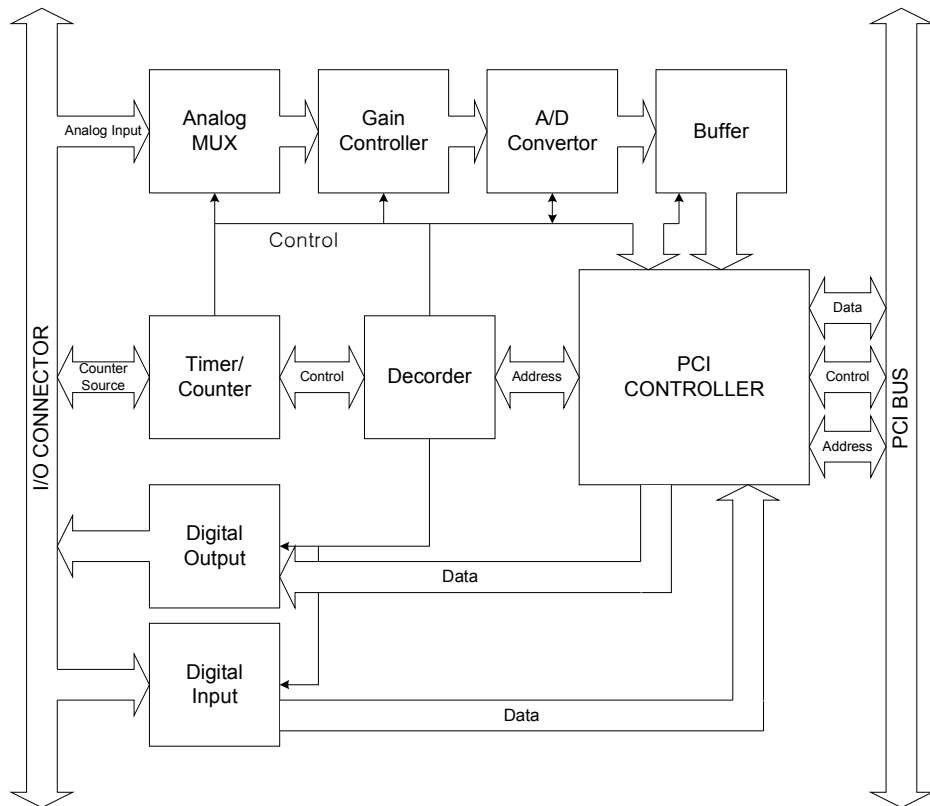
## Chapter3. Analog Input Board

### 2-1-5. Programmable Counter

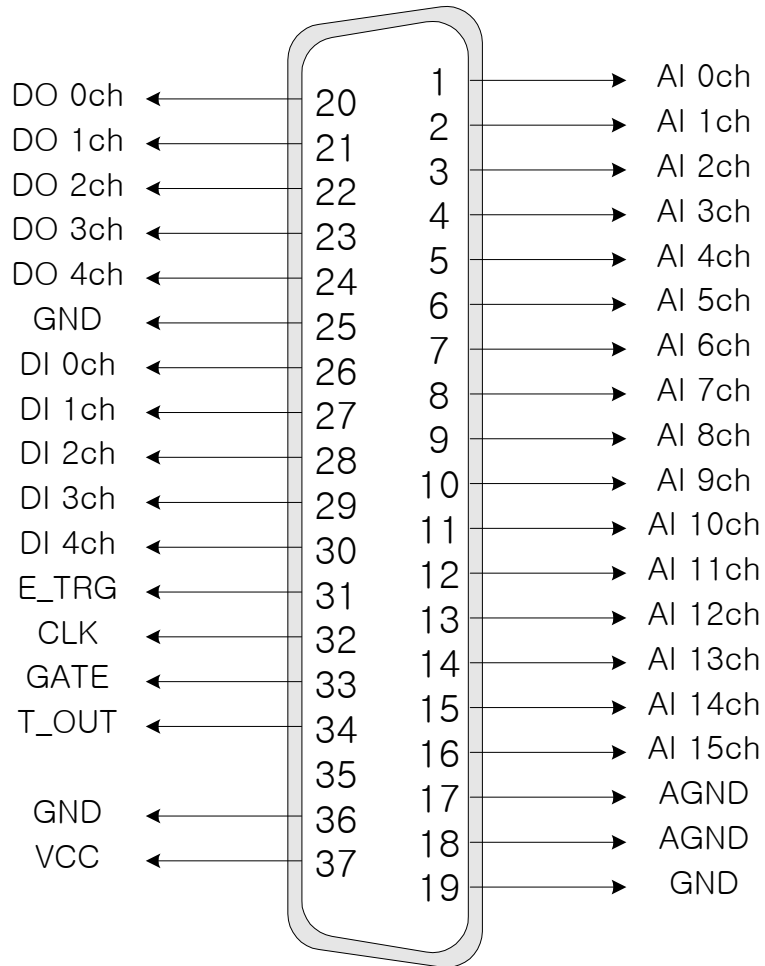
- ▷ Intel 8254
- ▷ Channel ..... 1 Channel
- ▷ Resolution ..... 16Bits
- ▷ Programmable Rate Generator
- ▷ Real Time Clock
- ▷ Digital One-Shot



## 2-2.COMI-CP201 구조



[그림 2-24] COMI-CP201 Hardware 개념도



[그림 2-25] COMI-CP201 커넥터 핀 배열

| Signal Name | Reference | I/O | Description                                 |
|-------------|-----------|-----|---------------------------------------------|
| AI<0..15>   | AGND      | 입력  | 아날로그 입력 채널 (single ended 0 부터 7 번)          |
| AGND        |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점              |
| TOUT        | DGND      | 출력  | 8253/4 타이머의 OUT0 번                          |
| GATE        | DGND      | 입력  | 8253/4 타이머의 GATE0 번                         |
| CLK         | DGND      | 입력  | 8253/4 타이머의 CLK0 번                          |
| E_TRG       | DGND      | 입력  | A/D 변환 외부 트리거. 사용자가 별도의 외부 신호를 입력 받아 A/D 변환 |
| DGND        |           |     | 디지털 그라운드                                    |
| VCC         | DGND      | 출력  | 5V 출력                                       |
| DI<0..5>    | DGND      | 입력  | 디지털 입력 채널                                   |
| DO<0..5>    | DGND      | 출력  | 디지털 출력 채널                                   |

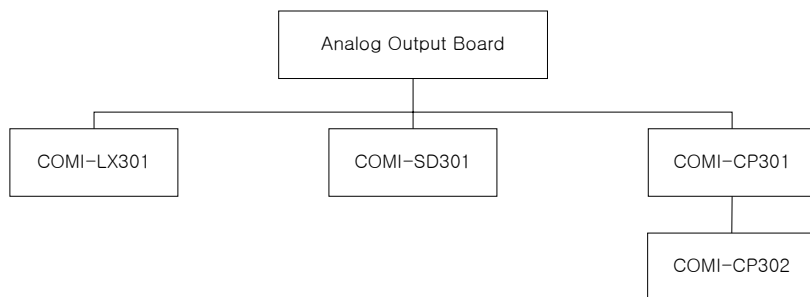
➤ 표 2-9. COM1-CP201 DSUB-37P Connector Pin

## Chapter3. Analog Input Board

---

## CHAPTER 4. Analog Output Board

아날로그 출력보드는 아날로그 신호로 제어할 수 있는 많은 기기들을 아날로그 신호의 출력을 통하여 제어 할 수 있습니다. 또한 제어가 아닌 경우에도 함수 발생기와 같은 신호의 생성에도 사용되어질 수 있습니다. COMI-LX301 은 4 채널의 아날로그 출력기능이 있으며 전채널이 초고속 임의 파형 발생기능(Wave Form Generation)이 있습니다. COMI-SD301 은 총 8 채널의 아날로그 출력기능이 있으며 이 중 2 채널이 임의 파형 발생기능이 내장되어 있습니다. 그러나 COMI-LX301 보다 출력 주파수에 한계가 있습니다. COMI-CP301 은 일반적인 아날로그 출력 보드이며 총 6 채널이 내장되어 있습니다. 저주파의 함수 발생이나 DC 형태의 전압출력이 가능합니다.



[그림 2-26] COMIZ0A Analog Output Boards

## 1.COMI-SD301

COMI-SD301 은 아날로그 출력 전용보드로 8 채널 아날로그 출력과 이중 2 채널의 WFM 기능이 내재되어 있습니다. 각각 8 채널의 디지털 입출력과 2 채널의 32Bits 의 카운터를 내장하고 있습니다. 전용 아날로그 출력 보드인 COMI-SD301 은 6 채널의 아날로그 출력신호와 2 채널의 WFM 을 처리하는 응용분야에 사용되어질 수 있습니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 출력부는 16Bits Resolution 으로 초 정밀이며 Settling time 이 8 $\mu$ sec 입니다.

### ◆ 사용 가능한 터미널 보드

COMI-SDT1 (page124 참조)

### ◆ 사용 가능한 케이블

COMI-SDCABLE1 (page133 참조)

COMI-SDCABLE2 (page133 참조)

## 1-1.COMI-SD301 사양



[그림 2-27] COMI-SD301

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크 기 ..... 288 \* 107 mm
- ▷ PNP (Plug &Play)

### 1-1-1. 입출력 채널

- ▷ 아날로그 출력 ..... 8 Channels
- ▷ 디지털 입력 ..... 8 Channels
- ▷ 디지털 출력 ..... 8 Channels
- ▷ 카운터 입력 ..... 2 Channels

## Chapter4. Analog Output Board

### 1-1-2. D/A Conversion

- ▷ D/A Converter ..... Burr Brown DAC7641
- ▷ D/A Channel ..... 8 Channels (2 WFM, 6 single DC)
- ▷ Resolution ..... 12 Bits, 0 in 4095
- ▷ Setting Time ..... 8 $\mu$ sec
- ▷ Output Voltage Range .....  $\pm 10V$
- ▷ Data Transfer ..... Programmed I/O

### 1-1-3. Digital Input

- ▷ TTL Compatible Input
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)
- ▷ Data Transfer ..... Programmed I/O

### 1-1-4. Digital Output

- ▷ TTL Compatible Output
- ▷ Channel ..... 8 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ..... Programmed I/O

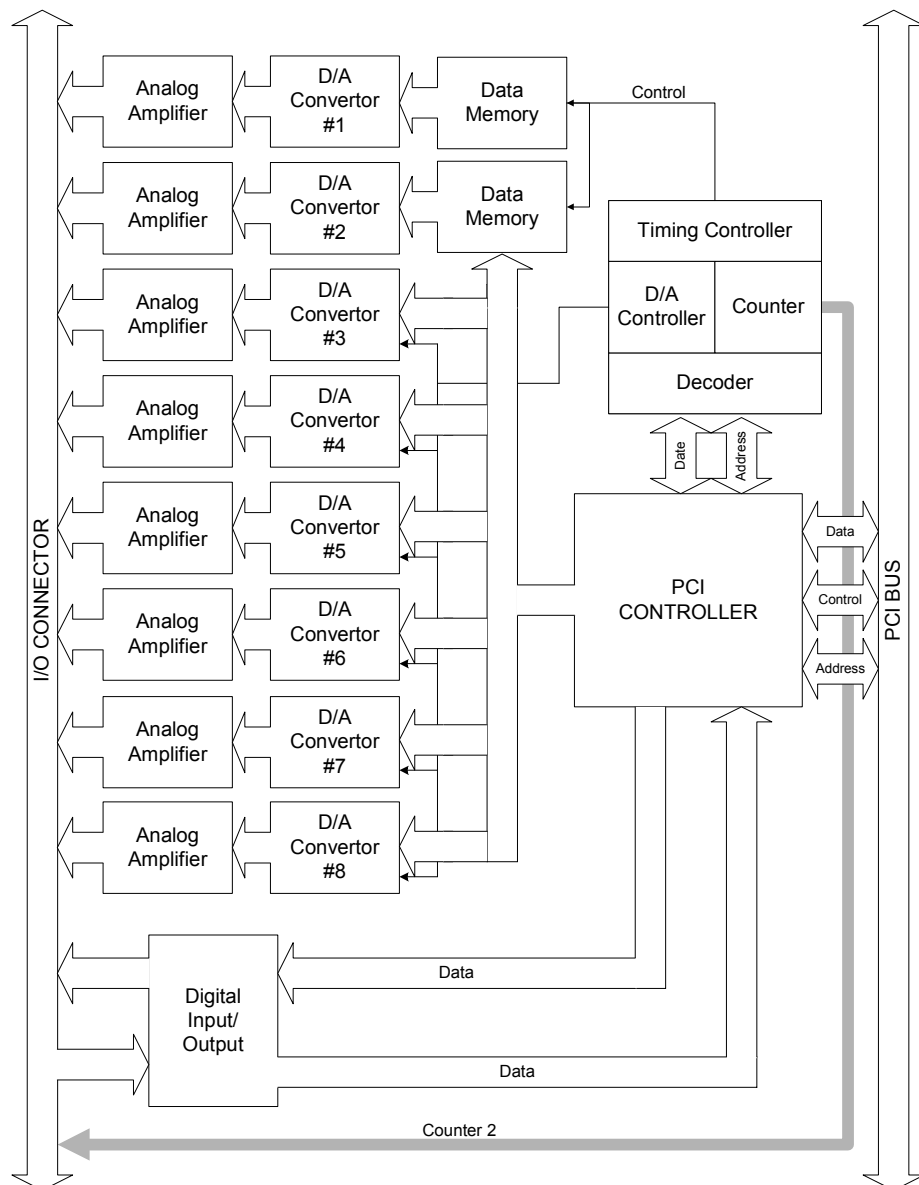
### 1-1-5. COMI-SD Counter

- ▷ COMI-SD Counter
- ▷ Clock Input Channel ..... 2 Channels

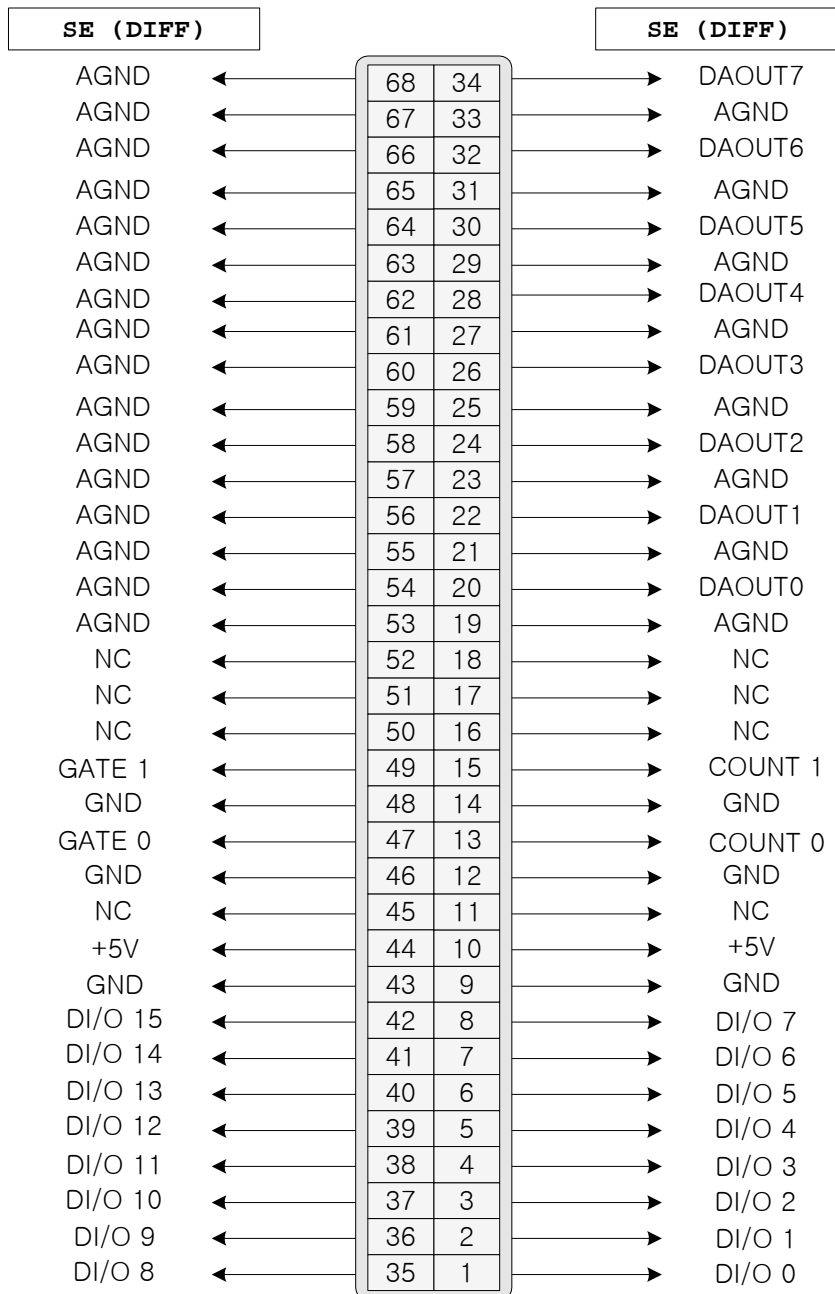


- ▷ Resolution ..... 32Bits
- ▷ Gate Input
- ▷ Software Reset
- ▷ Real Time Clock

## 1-2.COMI-SD301 구조



[그림 2-28] COMI-SD301 Hardware 개념도



[그림 2-29] COMI-SD301 커넥터 핀 배열

#### Chapter4. Analog Output Board

| Signal Name  | Reference | I/O | Description                    |
|--------------|-----------|-----|--------------------------------|
| DA OUT<0..7> | AGND      | 입력  | 아날로그 출력 채널                     |
| AGND         |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점 |
| +5V          | AGND      |     | +5V 출력                         |
| GND          |           |     | 디지털 그라운드                       |
| DI/O<0..15>  | DGND      | 입출력 | 디지털 입출력 채널                     |
| COUNT<0..1>  | DGND      | 입력  | 카운터 입력                         |
| GATE<0..1>   | DGND      | 입력  | 카운터 GATE 입력                    |

➤ 표 2-10. COMI-SD301 68Pin Connector

## 2.COMI-CP301

COMI-CP301 은 아날로그 출력 전용보드로 6 채널 아날로그 출력과, 각각 8 채널의 디지털 입출력을 내장하고 있습니다. 전용 아날로그 출력 보드인 COMI-CP301 은 다채널의 아날로그 출력신호를 처리하는 응용분야에 사용되어질 수 있습니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가 가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 출력부는 12Bits Resolution 이며 Settling time 이 2 $\mu$  sec 로 고속입니다.

### ◆ 사용 가능한 터미널 보드

COMI-CPT1 (page127 참조)

### ◆ 사용 가능한 케이블

COMI-CPCABLE1 (page134 참조)

COMI-CPCABLE2 (page134 참조)

## 2-1.COMI-CP301 사양



[그림 2-30] COMI-CP301

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크 기 ..... 160 \* 100 mm
- ▷ PNP (Plug &Play)

### 2-1-1. 입출력 채널

- ▷ 아날로그 출력 ..... 6 Channels
- ▷ 디지털 입력 ..... 8 Channels
- ▷ 디지털 출력 ..... 8 Channels

### 2-1-2. D/A Conversion

- ▷ D/A Converter ..... Burr Brown DAC7545
- ▷ D/A Channel ..... 6 Channels (for single DC Output)
- ▷ Resolution ..... 12 Bits, 0 in 4095
- ▷ Setting Time ..... 2 $\mu$ sec
- ▷ Output Voltage Range .....  $\pm 10V$

▷ Data Transfer ..... Programmed I/O

### 2-1-3. Digital Input

▷ TTL Compatible Input

▷ Channel ..... 8 Channels

▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )

▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)

▷ Data Transfer ..... Programmed I/O

### 2-1-4. Digital Output

▷ TTL Compatible Output

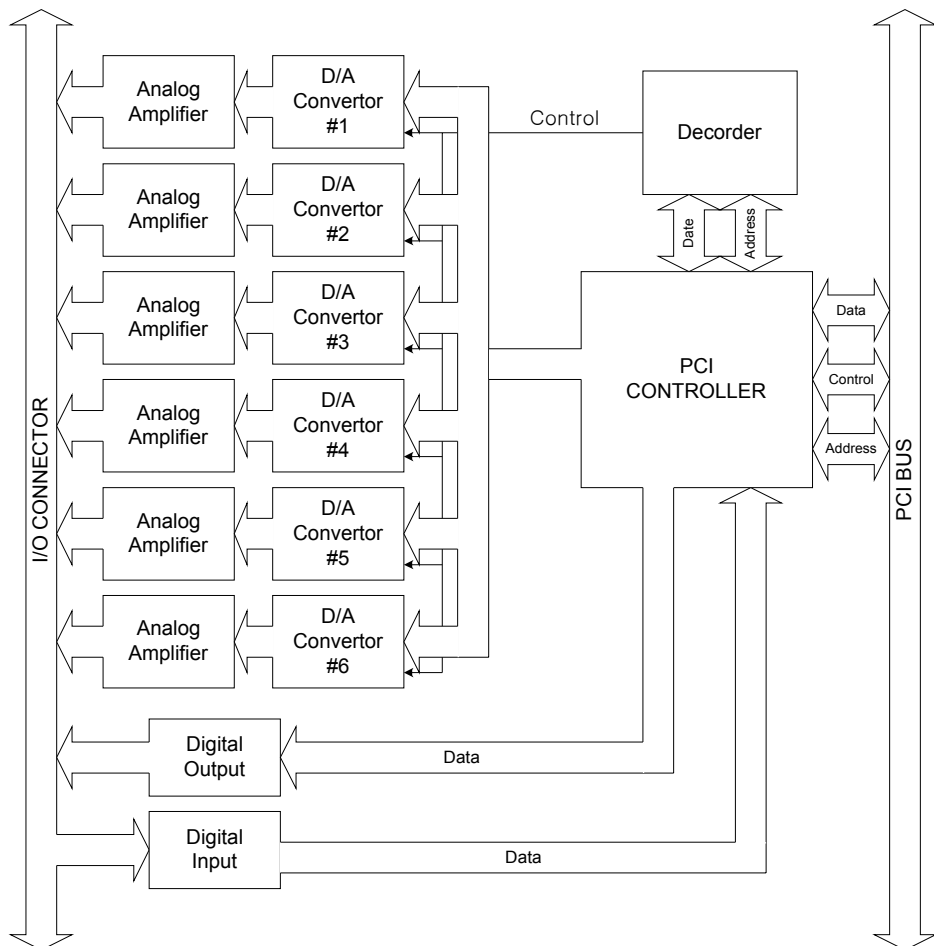
▷ Channel ..... 8 Channels

▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )

▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)

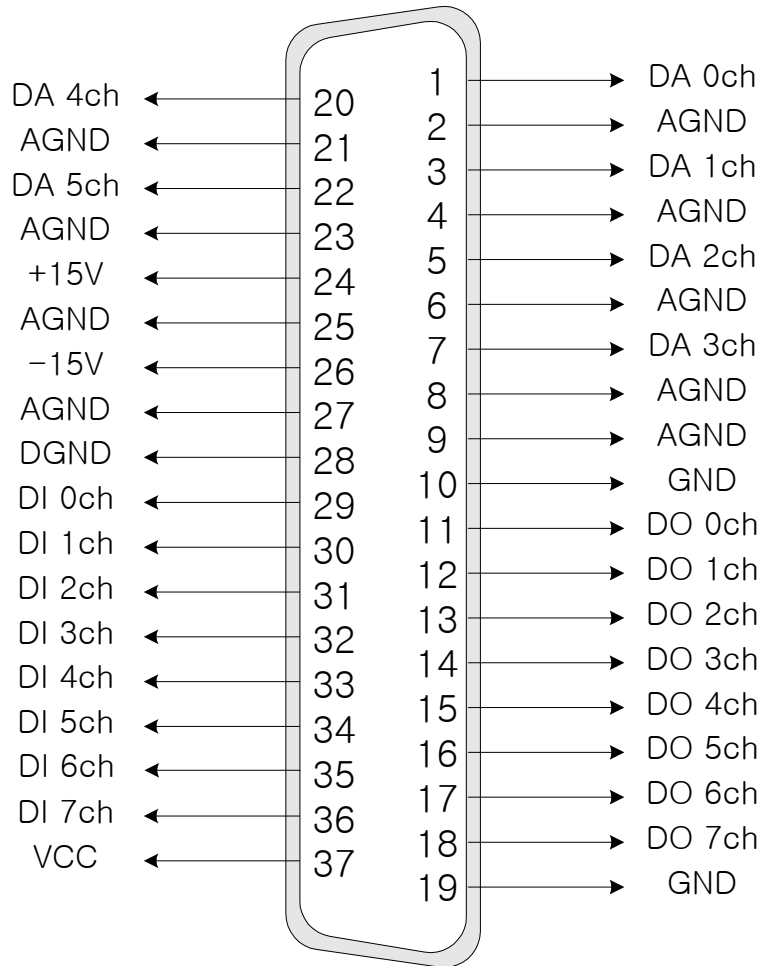
▷ Data Transfer ..... Programmed I/O

2-2.COMI-CP301 구조



[그림 2-31] COMI-CP301 Hardware 개념도





[그림 2-32] COMI-CP301 커넥터 핀 배열

#### Chapter4. Analog Output Board

| Signal Name | Reference | I/O | Description                    |
|-------------|-----------|-----|--------------------------------|
| DA<0..5>    | AGND      | 출력  | 아날로그 출력 채널                     |
| AGND        |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점 |
| +15V        | AGND      |     | 15V 출력                         |
| -15V        | AGND      |     | -15V 출력                        |
| DGND        |           |     | 디지털 그라운드                       |
| VCC         | DGND      | 출력  | 5V 출력                          |
| DI<0..7>    | DGND      | 입력  | 디지털 입력 채널                      |
| DO<0..7>    | DGND      | 출력  | 디지털 출력 채널                      |

➤ 표 2-11. COMI-CP301 DSUB-37P Connector Pin

### 3.COMI-CP302

COMI-CP302 는 아날로그 출력 전용보드로 8 채널 아날로그 출력과, 각각 4 채널의 디지털 입출력을 내장하고 있습니다. 전용 아날로그 출력 보드인 COMI-CP302 는 다채널의 아날로그 출력신호를 처리하는 응용분야에 사용 될 수 있습니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며, 모든 상태의 제어를 프로그램으로 가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

특히 아날로그 출력부는 16Bits Resolution 으로 Settling time 은 2 $\mu$  sec 입니다.

◆ 사용 가능한 터미널 보드

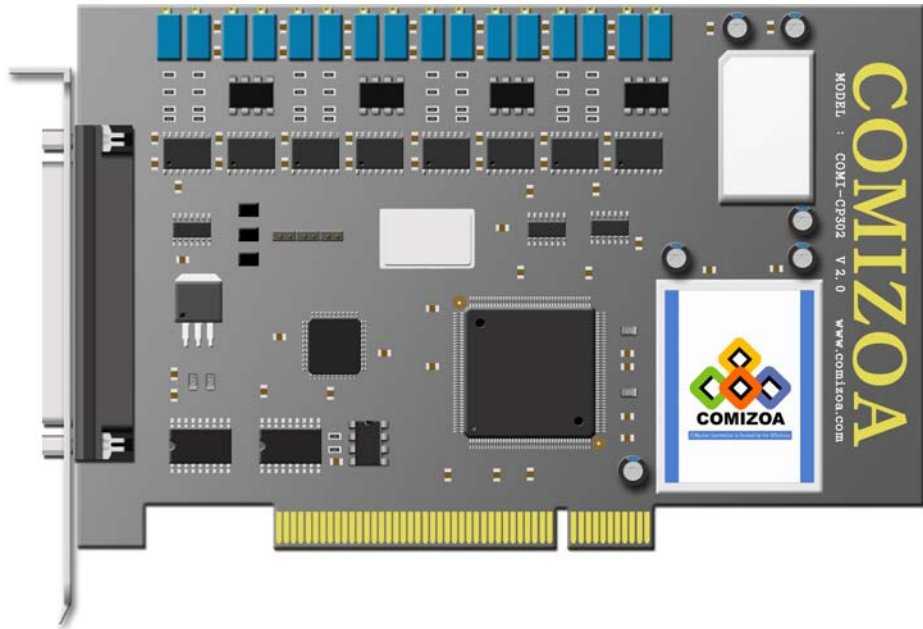
COMI-CPT1B (page129 참조)

◆ 사용 가능한 케이블

COMI-CPCABLE1 (page134 참조)

COMI-CPCABLE2 (page134 참조)

### 3-1.COMI-CP302 사양



[그림 2-33] COMI-CP302

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크 기 ..... 160 \* 107 mm
- ▷ PNP (Plug &Play)

#### 3-1-1. 입출력 채널

- ▷ 아날로그 출력 ..... 8 Channels
- ▷ 디지털 입력 ..... 4 Channels
- ▷ 디지털 출력 ..... 4 Channels

## 3-1-2. D/A Conversion

- ▷ D/A Converter ..... Burr Brown PCM56
- ▷ D/A Channel ..... 8 Channels (for single DC Output)
- ▷ Resolution ..... 16 Bits, 0 in 65535
- ▷ Setting Time ..... 2 $\mu$ sec
- ▷ Output Voltage Range .....  $\pm 10V$
- ▷ Data Transfer ..... Programmed I/O

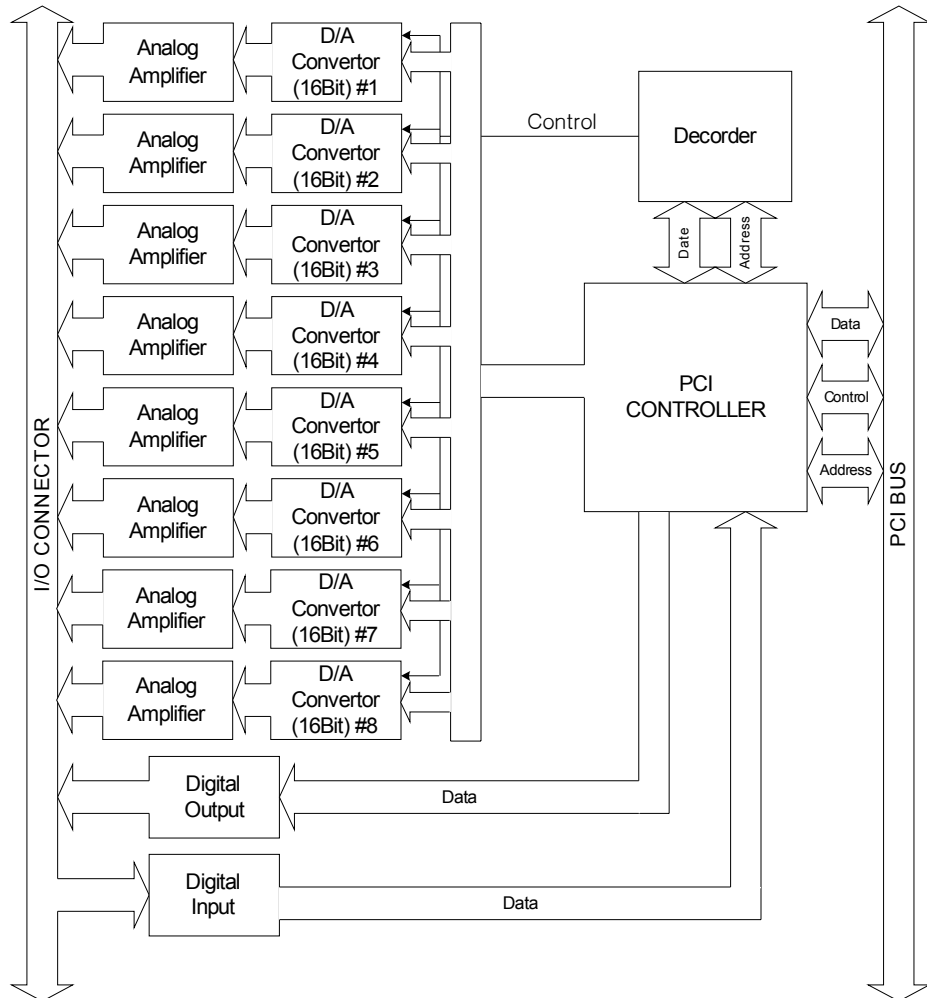
## 3-1-3. Digital Input

- ▷ TTL Compatible Input
- ▷ Channel ..... 4 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)
- ▷ Data Transfer ..... Programmed I/O

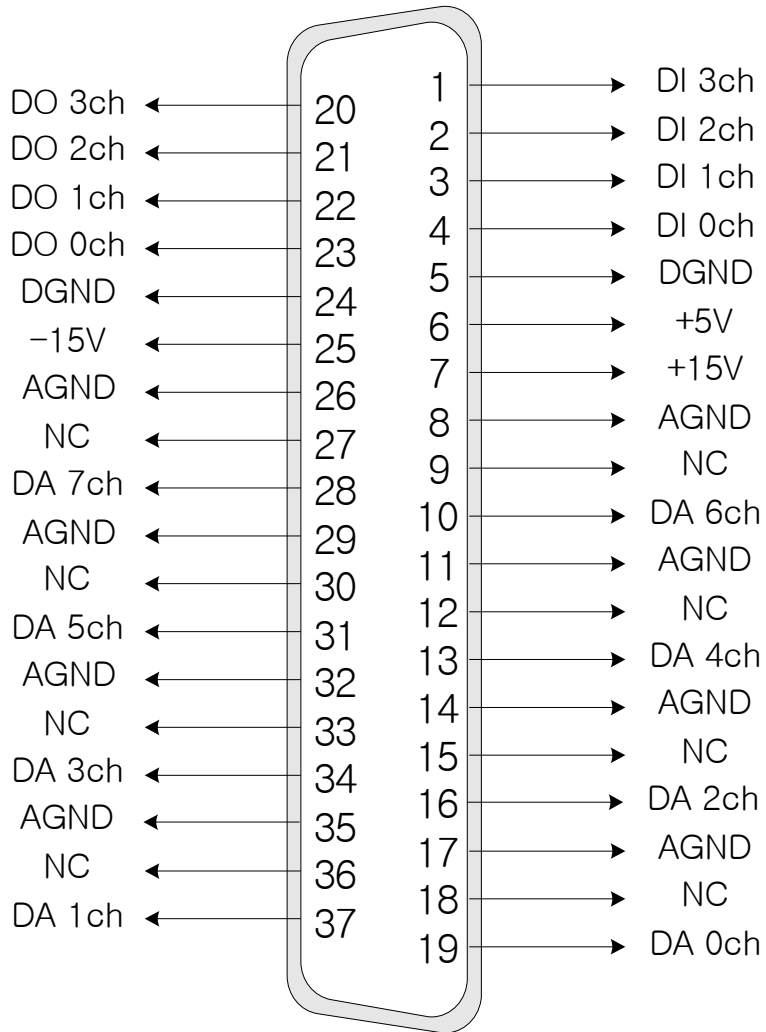
## 3-1-4. Digital Output

- ▷ TTL Compatible Output
- ▷ Channel ..... 4 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ..... Programmed I/O

### 3-2.COMI-CP302 구조



[그림 2-34] COMI-CP302 Hardware 개념도



[그림 2-35] COM1-CP302 커넥터 핀 배열

#### Chapter4. Analog Output Board

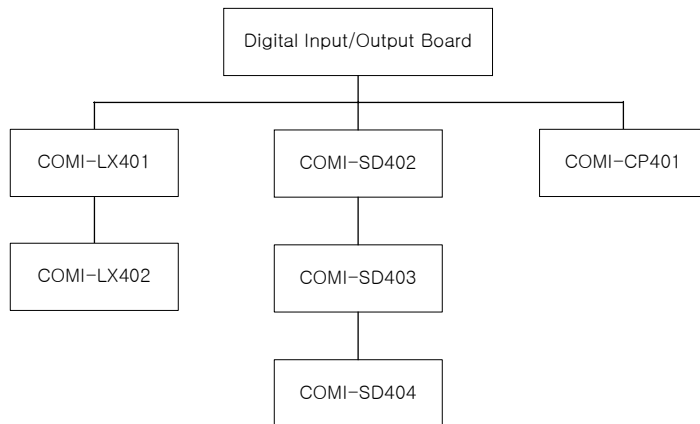
| Signal Name | Reference | I/O | Description                    |
|-------------|-----------|-----|--------------------------------|
| DA<0..7>    | AGND      | 출력  | 아날로그 출력 채널                     |
| AGND        |           |     | 아날로그 그라운드 - 이 핀들은 아날로그 신호의 기준점 |
| +15V        | AGND      |     | 15V 출력                         |
| -15V        | AGND      |     | -15V 출력                        |
| DGND        |           |     | 디지털 그라운드                       |
| DI<0..3>    | DGND      | 입력  | 디지털 입력 채널                      |
| DO<0..3>    | DGND      | 출력  | 디지털 출력 채널                      |

➤ 표 2-12. COMI-CP302 DSUB-37P Connector Pin



## CHAPTER 5.Digital Input/Output Board

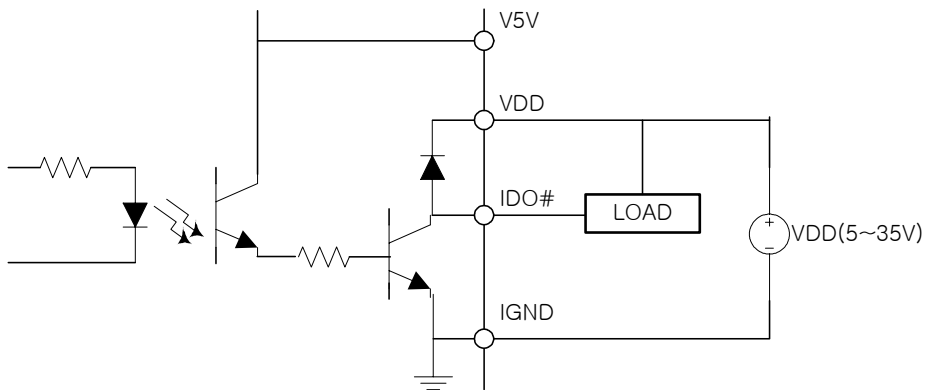
디지털 입력 기능은 광센서, 근접센서 등과 같이 전기적 디지털 신호를 출력하는 센서들의 신호를 컴퓨터가 인식할 수 있는 디지털 데이터로 변환해주는 기능이며, 디지털 출력 기능은 주로 스위치를 제어하는데 많이 사용되며 컴퓨터의 ON/OFF 로직을 전기적인 디지털 신호로 변환해주는 역할을 합니다. ㈜커미조아에서는 COMI-CP401, COMI-SD402, COMI-SD403, COMI-SD404, COMI-LX401, COMI-LX402 등의 디지털 입출력 보드 제품을 제공합니다. COMI-CP401 은 32 채널 디지털 입출력 보드이며, COMI-SD402/3/4 는 64 채널 디지털 입출력 보드입니다. COMI-LX401 은 고속 · 고성능 64 채널 디지털 입출력 보드로써 일반적인 디지털 입출력 기능외에 초고속 디지털 통신이나 논리분석기(Logic Analyzer)등으로도 사용될 수 있습니다.



[그림 2-28] COMIZOA Digital Input/Output Boards

## 1.COMI-SD402

COMI-SD402 는 64 채널 Isolated Digital Output 보드이며 출력 형태는 Darlington-TR(NPN) 출력입니다. 외부 신호와 컴퓨터 사이에 2500 Vrms 까지 절연할 수 있는 회로를 제공합니다. 이는 외부에서 입력되는 비정상적인 고전압 신호로부터 컴퓨터를 보호해주며, Ground loop 문제를 없애줍니다.



[그림 2-29] COMI-SD402 출력 회로도 및 신호 연결법

COMI-SD402 를 사용하면 외부에 별도 인터페이스 회로없이 릴레이나 솔레노이드 밸브, 램프 등을 직접 구동할 수 있습니다. COMI-SD402 의 출력 회로 및 신호 연결 방식은 [그림 2-29]와 같습니다. 그림에서와 같이 COMI-SD402 의 신호 연결 방식은 “Common ground 연결” 방식을 사용합니다. 이 회로에서는 디지털 출력이 “ON” 상태가 되면 싱크전류(Sink current)가 트랜지스터를 통하여 전도되게 됩니다. 그리고 디지털 출력이 “OFF” 상태가 되면 트랜지스터를 통하여 전류가 흐르지 않게 됩니다. 주의할 것은 릴레이, 코일 또는 모터등과 같이 인덕턴스(Inductance) 성질을 가지는 부하(Load)를 구동할 때에는 외부 소스 전원을 VDD 핀에도 연결해주어야 합니다. 이 것은 “Fly-wheel Diode”를 사용하여 부하가 “ON” 에서 “OFF” 상태로 변할 때 발생하는 역기전압으로부터 트랜지스

터를 보호하기 위함입니다.

◆ 사용 가능한 터미널 보드

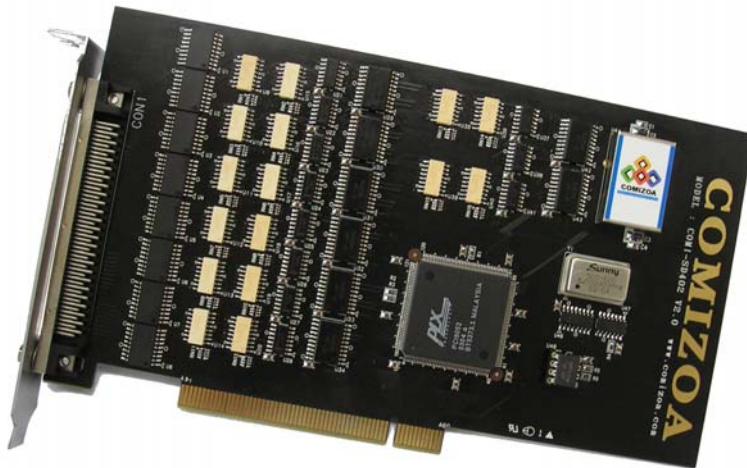
COMI-SDT4 (page132 참조)

◆ 사용 가능한 케이블

COMI-SDCABLE3 (page139 참조)

COMI-SDCABLE4 (page139 참조)

### 1-1.COMI-SD402 사양



[그림 2-30] COMI-SD402

- ▷ Bus ----- IBM PC Bus (32Bits PCI)
- ▷ 크 기 ----- 199 \* 114 mm
- ▷ PNP (Plug &Play)

#### 1-1-1. 입출력 채널

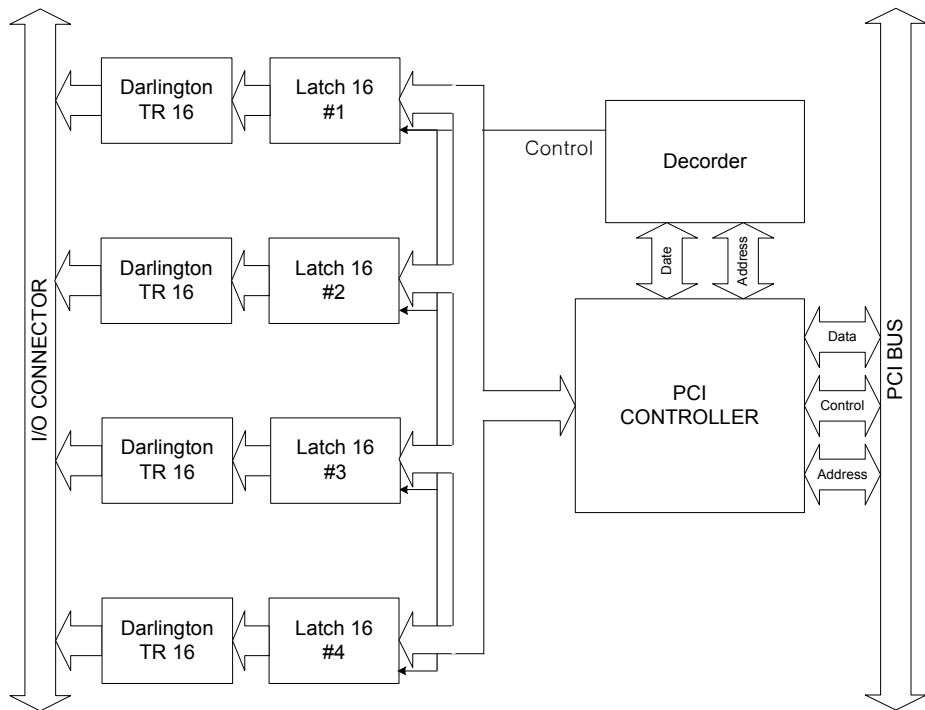
- ▷ 디지털 출력 ----- 64 Channels

#### 1-1-2. Digital Output

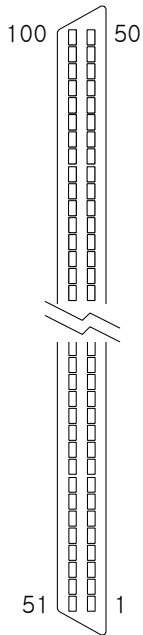
- ▷ Channel ----- 64 Channels
- ▷ Optical Isolated Output
- ▷ Output type ----- Darlington TR with common ground
- ▷ Output Device ----- ULN2803A(Common ground)
- ▷ Output Voltage ----- 5V min, 35V max
- ▷ Sink Current ----- Max. 500mA/channel

- ▷ Isolation Voltage ----- 2500Vrms
- ▷ Throughput ----- 10 KHz(0.1ms)
- ▷ Response Time ----- 20 micro sec

1-2.COMI-SD402 구조



[그림 2-31] COMI-SD402 Hardware 개념도



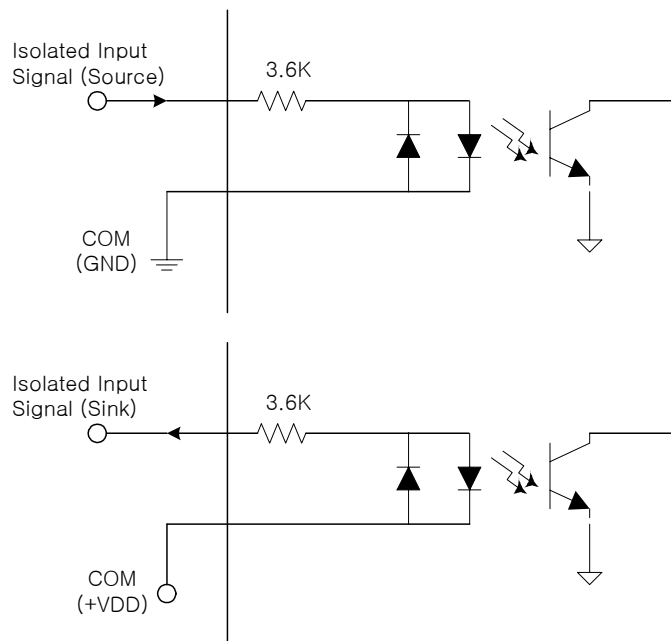
| 핀번호 | 설명     | 핀번호 | 설명     | 핀번호 | 설명     | 핀번호 | 설명     |
|-----|--------|-----|--------|-----|--------|-----|--------|
| 1   | ID0 0  | 26  | ID0 32 | 51  | ID0 8  | 76  | ID0 40 |
| 2   | ID0 1  | 27  | ID0 33 | 52  | ID0 9  | 77  | ID0 41 |
| 3   | ID0 2  | 28  | ID0 34 | 53  | ID0 10 | 78  | ID0 42 |
| 4   | ID0 3  | 29  | ID0 35 | 54  | ID0 11 | 79  | ID0 43 |
| 5   | ID0 4  | 30  | ID0 36 | 55  | ID0 12 | 80  | ID0 44 |
| 6   | ID0 5  | 31  | ID0 37 | 56  | ID0 13 | 81  | ID0 45 |
| 7   | ID0 6  | 32  | ID0 38 | 57  | ID0 14 | 82  | ID0 46 |
| 8   | ID0 7  | 33  | ID0 39 | 58  | ID0 15 | 83  | ID0 47 |
| 9   | VDD1   | 34  | VDD5   | 59  | VDD2   | 84  | VDD6   |
| 10  | IGND   | 35  | IGND   | 60  | IGND   | 85  | IGND   |
| 11  | IGND   | 36  | IGND   | 61  | IGND   | 86  | IGND   |
| 12  | IGND   | 37  | IGND   | 62  | IGND   | 87  | IGND   |
| 13  | ID0 16 | 38  | ID0 48 | 63  | ID0 24 | 88  | ID0 56 |
| 14  | ID0 17 | 39  | ID0 49 | 64  | ID0 25 | 89  | ID0 57 |
| 15  | ID0 18 | 40  | ID0 50 | 65  | ID0 26 | 90  | ID0 58 |
| 16  | ID0 19 | 41  | ID0 51 | 66  | ID0 27 | 91  | ID0 59 |
| 17  | ID0 20 | 42  | ID0 52 | 67  | ID0 28 | 92  | ID0 60 |
| 18  | ID0 21 | 43  | ID0 53 | 68  | ID0 29 | 93  | ID0 61 |
| 19  | ID0 22 | 44  | ID0 54 | 69  | ID0 30 | 94  | ID0 62 |
| 20  | ID0 23 | 45  | ID0 55 | 70  | ID0 31 | 95  | ID0 63 |
| 21  | VDD3   | 46  | VDD7   | 71  | VDD4   | 96  | ID0 64 |
| 22  | IGND   | 47  | IGND   | 72  | IGND   | 97  | IGND   |
| 23  | IGND   | 48  | IGND   | 73  | IGND   | 98  | IGND   |
| 24  | IGND   | 49  | IGND   | 74  | IGND   | 99  | IGND   |
| 25  | NC     | 50  | V5V    | 75  | NC     | 100 | V5V    |

[그림 2-32] COM1-SD402 커넥터 핀 배열

## 2.COMI-SD403

COMI-SD403 은 64 채널 Isolated Digital Input 보드입니다. 외부 신호와 컴퓨터 사이에 1000 V 까지 절연할 수 있는 회로를 제공합니다. 이는 외부에서 입력되는 비정상적인 고전압 신호로부터 컴퓨터를 보호해주며, Ground loop 문제를 없애줍니다.

COMI-SD403 은 Open collector 트랜지스터 구조로 구성되었습니다. 입력 전압의 범위는 5V ~ 24V 이며, 입력 저항은 3.6K입니다. COM 단자에는 Common ground 나 Common power 가 연결되게 되는데, 둘 중에 어떤 것이 연결되는지는 사용자의 환경에 따라 결정됩니다. COMI-SD403 의 디지털 입력은 Current source 와 Current sink 형식을 모두 지원합니다.



[그림 2-33] COMI-SD403 입력 회로도 및 신호 연결법

### ◆ 사용 가능한 터미널 보드

COMI-SDT4 (page132 참조)



◆ 사용 가능한 케이블

COMI-SDCABLE3 (page139 참조)

COMI-SDCABLE4 (page139 참조)

## 2-1.COMI-SD403 사양



[그림 2-34] COMI-SD402

- ▷ Bus ----- IBM PC Bus (32Bits PCI)
- ▷ 크 기 ----- 154 \* 114 mm
- ▷ PNP (Plug &Play)

### 2-1-1. 입출력 채널

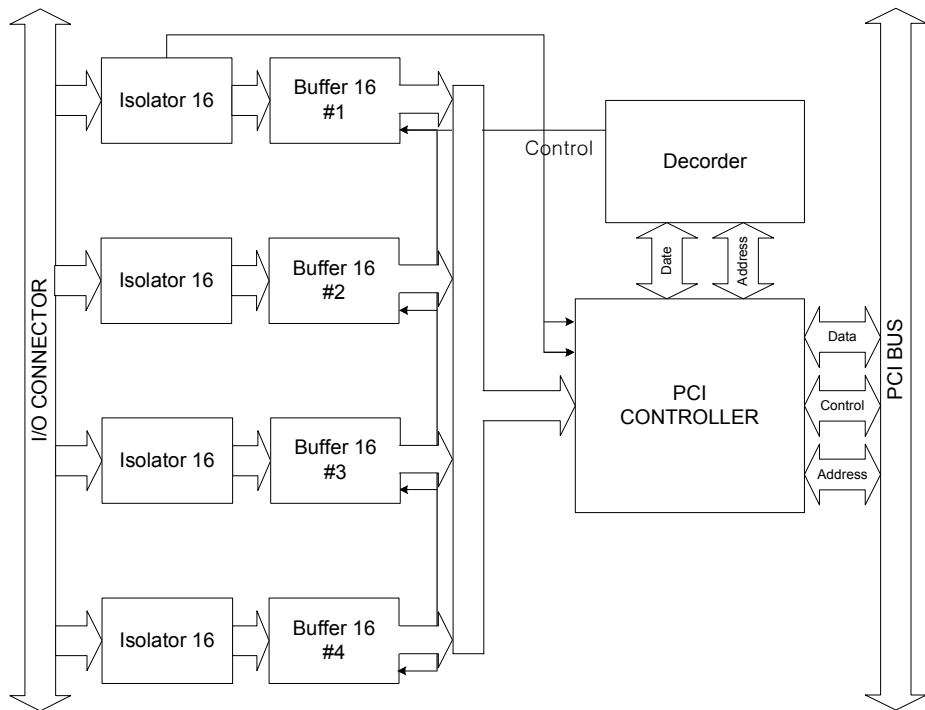
- ▷ 디지털 입력 ----- 64 Channels

### 2-1-2. Digital Input

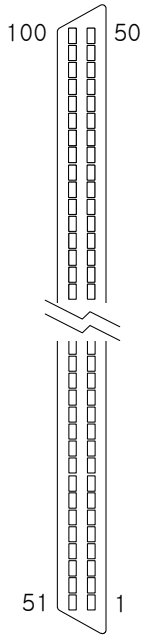
- ▷ Channel ----- 64 Channels
- ▷ Optical Isolated Input
- ▷ Opto-isolator ----- TLP280-4
- ▷ Input Range ----- 5 to +24VDC
- ▷ Isolation ----- 1000V Channel to Channel
- ▷ Voltage Level ----- Low(0 ~ 1.5V), High(5V ~ 24V)

▷ Input Impedance ----- 3.6 K $\Omega$ m

## 2-2.COMI-SD403 구조



[그림 2-35] COMI-SD403 Hardware 개념도



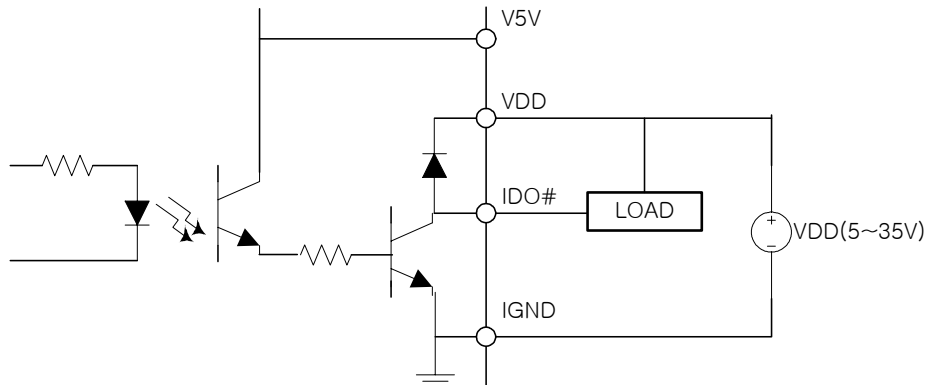
| 핀번호 | 설명     | 핀번호 | 설명     | 핀번호 | 설명     | 핀번호 | 설명     |
|-----|--------|-----|--------|-----|--------|-----|--------|
| 1   | ID1_0  | 26  | ID1_32 | 51  | ID1_8  | 76  | ID1_40 |
| 2   | ID1_1  | 27  | ID1_33 | 52  | ID1_9  | 77  | ID1_41 |
| 3   | ID1_2  | 28  | ID1_34 | 53  | ID1_10 | 78  | ID1_42 |
| 4   | ID1_3  | 29  | ID1_35 | 54  | ID1_11 | 79  | ID1_43 |
| 5   | ID1_4  | 30  | ID1_36 | 55  | ID1_12 | 80  | ID1_44 |
| 6   | ID1_5  | 31  | ID1_37 | 56  | ID1_13 | 81  | ID1_45 |
| 7   | ID1_6  | 32  | ID1_38 | 57  | ID1_14 | 82  | ID1_46 |
| 8   | ID1_7  | 33  | ID1_39 | 58  | ID1_15 | 83  | ID1_47 |
| 9   | COM1   | 34  | COM5   | 59  | COM2   | 84  | COM6   |
| 10  | COM1   | 35  | COM5   | 60  | COM2   | 85  | COM6   |
| 11  | COM1   | 36  | COM5   | 61  | COM2   | 86  | COM6   |
| 12  | COM1   | 37  | COM5   | 62  | COM2   | 87  | COM6   |
| 13  | ID1_16 | 38  | ID1_48 | 63  | ID1_24 | 88  | ID1_56 |
| 14  | ID1_17 | 39  | ID1_49 | 64  | ID1_25 | 89  | ID1_57 |
| 15  | ID1_18 | 40  | ID1_50 | 65  | ID1_26 | 90  | ID1_58 |
| 16  | ID1_19 | 41  | ID1_51 | 66  | ID1_27 | 91  | ID1_59 |
| 17  | ID1_20 | 42  | ID1_52 | 67  | ID1_28 | 92  | ID1_60 |
| 18  | ID1_21 | 43  | ID1_53 | 68  | ID1_29 | 93  | ID1_61 |
| 19  | ID1_22 | 44  | ID1_54 | 69  | ID1_30 | 94  | ID1_62 |
| 20  | ID1_23 | 45  | ID1_55 | 70  | ID1_31 | 95  | ID1_63 |
| 21  | COM3   | 46  | COM7   | 71  | COM4   | 96  | COM8   |
| 22  | COM3   | 47  | COM7   | 72  | COM4   | 97  | COM8   |
| 23  | COM3   | 48  | COM7   | 73  | COM4   | 98  | COM8   |
| 24  | COM3   | 49  | COM7   | 74  | COM4   | 99  | COM8   |
| 25  | NC     | 50  | NC     | 75  | NC     | 100 | NC     |

[그림 2-36] COM1-SD403 커넥터 핀 배열

### 3.COMI-SD404

COMI-SD404 는 디지털 입출력 겸용 보드로써 32 채널 Isolated Digital Input 과 32 채널 Isolated Digital Output 을 제공합니다. 외부 신호와 컴퓨터 사이에 절연 회로가 제공되어 외부에서 입력되는 비정상적인 고전압 신호로부터 컴퓨터를 보호해주며, Ground loop 문제를 없애줍니다.

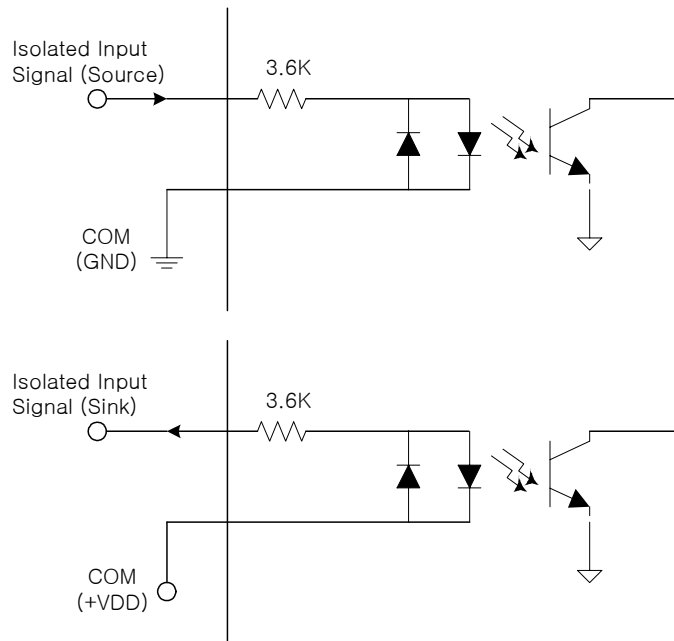
COMI-SD404 의 디지털 출력 회로 및 신호 연결 방식은 [그림 2-37]과 같습니다. 그림에서와 같이 COMI-SD404 의 디지털 출력 신호 연결 방식은 “Common ground 연결” 방식을 사용합니다. 이 회로에서는 디지털 출력이 “ON” 상태가 되면 싱크전류(Sink current)가 트랜지스터를 통하여 전도되게 됩니다. 그리고 디지털 출력이 “OFF” 상태가 되면 트랜지스터를 통하여 전류가 흐르지 않게 됩니다. 주의할 것은 릴레이, 코일 또는 모터등과 같이 인덕턴스(Inductance) 성질을 가지는 부하(Load)를 구동할 때에는 외부 소스 전원을 VDD 핀에도 연결해주어야 합니다. 이 것은 “Fly-wheel Diode” 를 사용하여 부하가 “ON” 에서 “OFF” 상태로 변할 때 발생하는 역기전압으로부터 트랜지스터를 보호하기 위함입니다.



[그림 2-37] COMI-SD404 디지털 출력 회로도 및 신호 연결법

COMI-SD404 의 디지털 입력 회로는 Open collector 트랜지스터 구조로 구성되었습니다. 입력 전압의 범위는 5V ~ 24V 이며, 입력 저항은 3.6KΩ

입니다. COM 단자에는 Common ground 나 Common power 가 연결되게 되는데, 둘 중에 어떤 것이 연결되는지는 사용자의 환경에 따라 결정됩니다. COMI-SD403 의 디지털 입력은 Current source 와 Current sink 형식을 모두 지원합니다.



[그림 2-38] COMI-SD404 디지털 입력 회로도 및 신호 연결법

◆ 사용 가능한 터미널 보드

COMI-SDT4 (page132 참조)

◆ 사용 가능한 케이블

COMI-SDCABLE3 (page139 참조)

COMI-SDCABLE4 (page139 참조)

### 3-1.COMI-SD404 사양



[그림 2-39] COMI-SD402

- ▷ Bus ----- IBM PC Bus (32Bits PCI)
- ▷ 크 기 ----- 174 \* 114 mm
- ▷ PNP (Plug &Play)

#### 3-1-1. 입출력 채널

- ▷ 디지털 입력 ----- 32 Channels
- ▷ 디지털 출력 ----- 32 Channels

#### 3-1-2. Digital Input

- ▷ Channel ----- 64 Channels
- ▷ Optical Isolated Input
- ▷ Opto-isolator ----- TLP280-4
- ▷ Input Range ----- 5 to +24VDC
- ▷ Isolation ----- 1000V Channel to Channel
- ▷ Voltage Level ----- Low(0 ~ 1.5V), High(5V ~ 24V)



▷ Input Impedance ----- 3.6 K $\Omega$ m

### 3-1-3. Digital Output

▷ Channel ----- 64 Channels

▷ Optical Isolated Output

▷ Output type ----- Darlington TR with common ground

▷ Output Device ----- ULN2803A(Common ground)

▷ Output Voltage ----- 5V min, 35V max

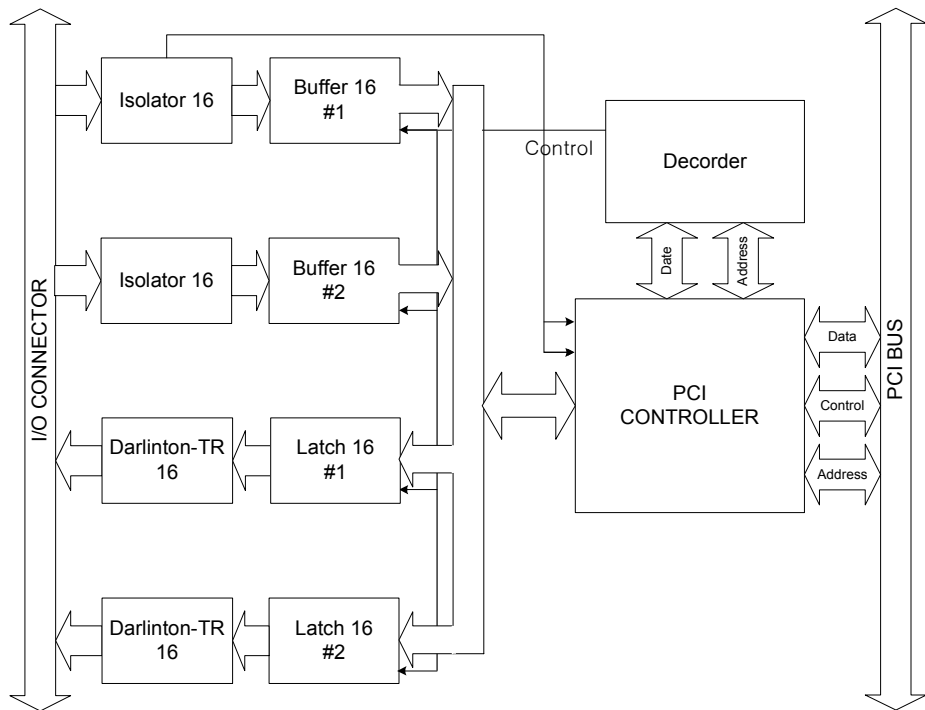
▷ Sink Current ----- Max. 500mA/channel

▷ Isolation Voltage ----- 2500Vrms

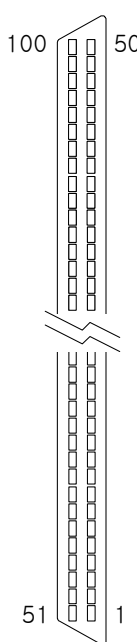
▷ Throughput ----- 10 KHz(0.1ms)

▷ Response Time ----- 20 micro sec

3-2.COMI-SD404 구조



[그림 2-40] COMI-SD404 Hardware 개념도



| 핀번호 | 설명     | 핀번호 | 설명     | 핀번호 | 설명     | 핀번호 | 설명     |
|-----|--------|-----|--------|-----|--------|-----|--------|
| 1   | ID1_0  | 26  | ID0_0  | 51  | ID1_8  | 76  | ID0_8  |
| 2   | ID1_1  | 27  | ID0_1  | 52  | ID1_9  | 77  | ID0_9  |
| 3   | ID1_2  | 28  | ID0_2  | 53  | ID1_10 | 78  | ID0_10 |
| 4   | ID1_3  | 29  | ID0_3  | 54  | ID1_11 | 79  | ID0_11 |
| 5   | ID1_4  | 30  | ID0_4  | 55  | ID1_12 | 80  | ID0_12 |
| 6   | ID1_5  | 31  | ID0_5  | 56  | ID1_13 | 81  | ID0_13 |
| 7   | ID1_6  | 32  | ID0_6  | 57  | ID1_14 | 82  | ID0_14 |
| 8   | ID1_7  | 33  | ID0_7  | 58  | ID1_15 | 83  | ID0_15 |
| 9   | COM1   | 34  | VDD1   | 59  | COM2   | 84  | VDD2   |
| 10  | COM1   | 35  | IGND   | 60  | COM2   | 85  | IGND   |
| 11  | COM1   | 36  | IGND   | 61  | COM2   | 86  | IGND   |
| 12  | COM1   | 37  | IGND   | 62  | COM2   | 87  | IGND   |
| 13  | ID1_16 | 38  | ID0_16 | 63  | ID1_24 | 88  | ID0_24 |
| 14  | ID1_17 | 39  | ID0_17 | 64  | ID1_25 | 89  | ID0_25 |
| 15  | ID1_18 | 40  | ID0_18 | 65  | ID1_26 | 90  | ID0_26 |
| 16  | ID1_19 | 41  | ID0_19 | 66  | ID1_27 | 91  | ID0_27 |
| 17  | ID1_20 | 42  | ID0_20 | 67  | ID1_28 | 92  | ID0_28 |
| 18  | ID1_21 | 43  | ID0_21 | 68  | ID1_29 | 93  | ID0_29 |
| 19  | ID1_22 | 44  | ID0_22 | 69  | ID1_30 | 94  | ID0_30 |
| 20  | ID1_23 | 45  | ID0_23 | 70  | ID1_31 | 95  | ID0_31 |
| 21  | COM3   | 46  | VDD3   | 71  | COM4   | 96  | VDD4   |
| 22  | COM3   | 47  | IGND   | 72  | COM4   | 97  | IGND   |
| 23  | COM3   | 48  | IGND   | 73  | COM4   | 98  | IGND   |
| 24  | COM3   | 49  | IGND   | 74  | COM4   | 99  | IGND   |
| 25  | NC     | 50  | NC     | 75  | NC     | 100 | NC     |

[그림 2-41] COM1-SD404 커넥터 핀 배열

## 4.COMI-CP401

COMI-CP401 은 디지털 입출력 전용보드로 32 채널 디지털 출력 또는 32 채널 디지털 입력 또는 각각 16 채널 디지털 입력 및 디지털 출력으로 사용되어질 수 있습니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가 가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

COMI-CP401 은 외부 제어 및 인식을 위해 별도의 터미널이 필요합니다. 다양한 외부기기를 제어 하기 위해서는 릴레이를 사용하여 접점으로 제어 하는 것이 바람직 하며 외부기기를 인식하기 위해서는 Opto-isolation 터미널 보드를 사용하는 것이 안정성이 뛰어납니다.

### ◆ 사용 가능한 터미널 보드

COMI-CPT1 (page133 참조)

COMI-CPT2 (page135 참조)

COMI-CPT3 (page136 참조)

COMI-CPT4 (page137 참조)

### ◆ 사용 가능한 케이블

COMI-CPCABLE (page140 참조)

#### 4-1.COMI-CP401 사양



[그림 2-42] COMI-CP401

- ▷ Bus ----- IBM PC Bus (32Bits PCI)
- ▷ 크 기 ----- 125 \* 100 mm
- ▷ PNP (Plug &Play)

##### 4-1-1. 입출력 채널

- ▷ 디지털 입력 ----- 32 Channels or 16 Channels
- ▷ 디지털 출력 ----- 32 Channels or 16 Channels

##### 4-1-2. Digital Input

- ▷ TTL Compatible Input
- ▷ Channel ----- 32 Channels
- ▷ Voltage Level ----- Low(0 ~ 0.8V), High(2V ~ )

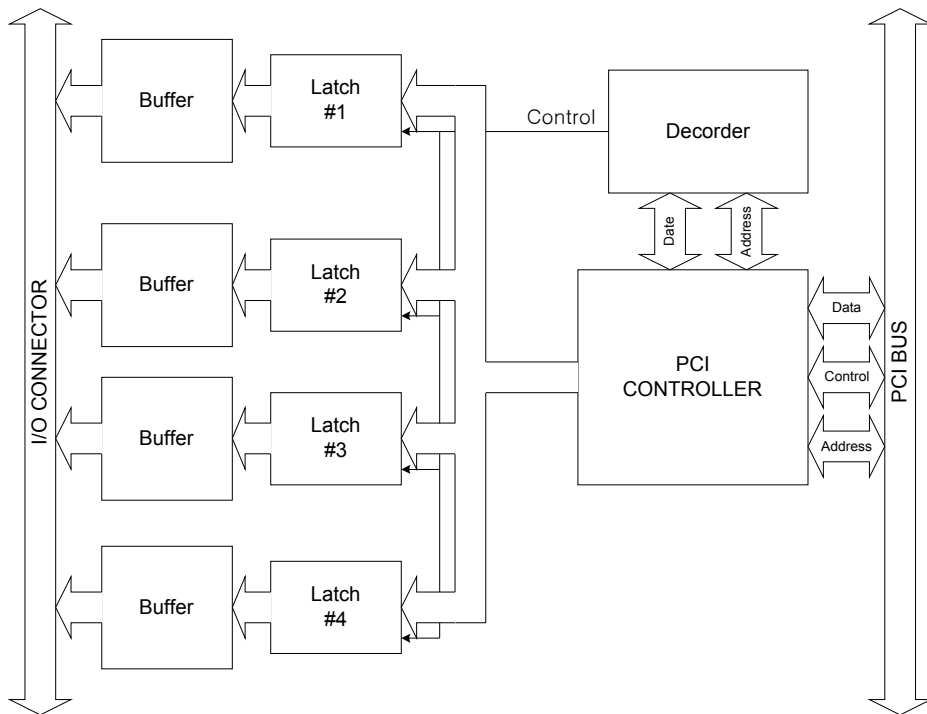
## Chapter5. Digital Input/Output Board

- ▷ Input Load ----- Low 0.5V(0.2mA), High 2.7V(20mA)
- ▷ Data Transfer ----- Programmed I/O

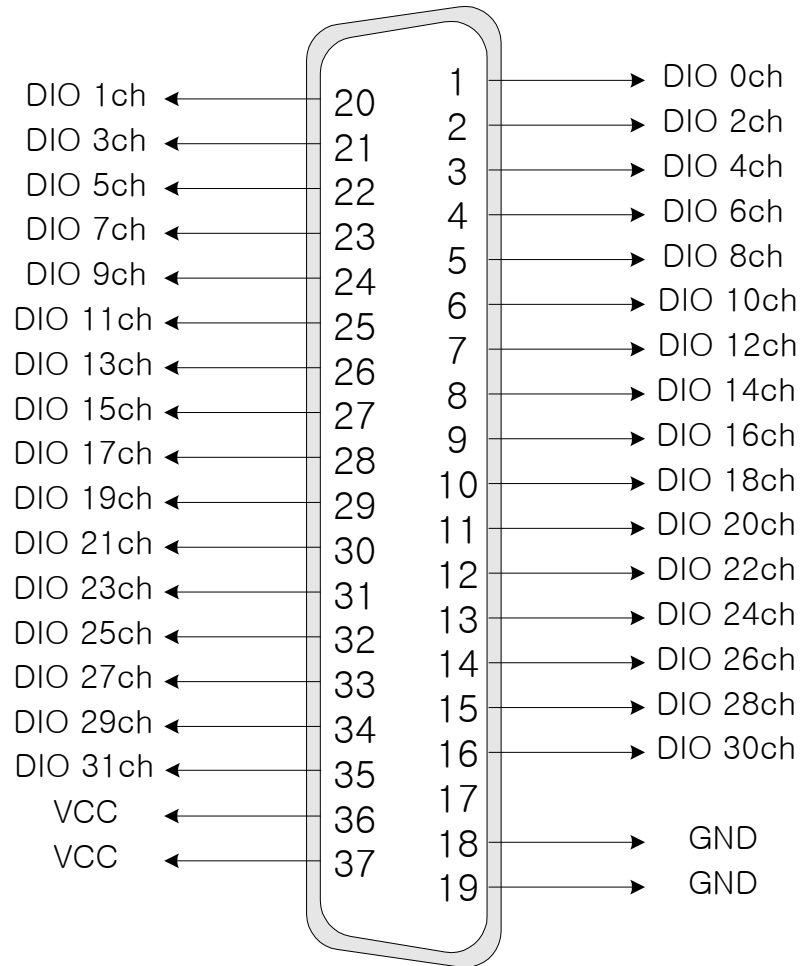
### 4-1-3. Digital Output

- ▷ TTL Compatible Output
- ▷ Channel ----- 32 Channels
- ▷ Voltage Level ----- Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ----- Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ----- Programmed I/O

## 4-2.COMI-CP401 구조



[그림 2-43] COMI-CP401 Hardware 개념도



[그림 2-44] COM1-CP401 커넥터 핀 배열

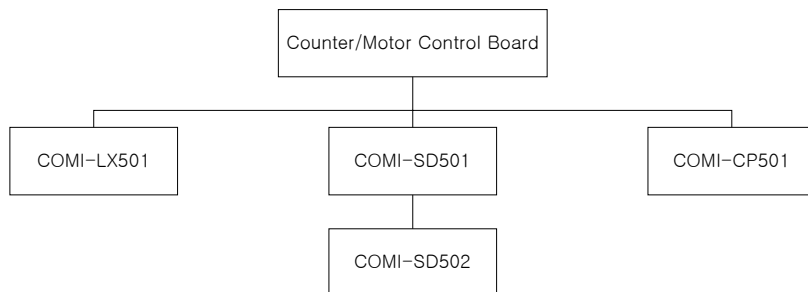


| Signal Name | Reference | I/O | Description |
|-------------|-----------|-----|-------------|
| DGND        |           |     | 디지털 그라운드    |
| VCC         | DGND      | 출력  | 5V 출력       |
| DIO<0..32>  | DGND      | 입출력 | 디지털 입출력 채널  |

➤ 표 2-8. COM1-CP401 DSUB-37P Connector Pin

## CHAPTER 6.Counter/Motor Control Board

쥬커미조아는 총 4 종의 Counter/Motor Control 보드가 있습니다. Motion Control 을 사용하시려면 COMI-LX501 이 적합하며 일반적인 기능을 원하시면 COMI-SD501,COMI-SD502 가 적합하며, Intel 8254 에 익숙하신 분은 COMI-CP501 이 적합합니다.



[그림 2-40] COMIZOA Counter/Motor Control Boards

## 1.COMI-SD501

COMI-SD501 은 엔코더/카운터 입력, 디지털 출력을 사용하는 모든 기능을 사용자 중심으로 편리하게 사용되어질 수 있게 설계된 Counter/Motor Control Board 입니다. 이 제품은 여타의 외국 제품보다 사용자가 손쉽게 사용할 수 있도록 설계되었으며 특히 모든 상태를 프로그램으로 제어 가능합니다. 또한 Windows 와 DOS 등의 OS 에 상관없이 좋은 성능을 낼 수 있으며, 특히 커미조아가 개발한 엔코더 전용 카운터칩을 사용하여 보다 더 정밀하고 CPU 의 성능 제한 없이 우수한 성능을 나타냅니다. 또한 엔코더의 분해능을 높일 수 있는 2 채배 기능이 내장되어 있습니다. COMI-SD501 은 총 4 채널의 엔코더나 카운터를 장착할 수 있으며 이와 연계하여 최대 4 개의 모터를 제어 가능합니다. 모터를 제어하는 경우에 구형파를 사용자가 원하는 주파수로 원하는 개수만큼 출력할 수 있습니다. 물론 모드설정에 따라 끊임없이 구형파의 출력도 가능합니다. 그리고 자신이 원하는 구형파의 출력 종료도 알 수 있으며 출력되는 구형파의 실제 주파수도 얻을 수 있습니다. 엔코더를 연결하는 경우에 사용자는 커미조아가 권장하는 엔코더의 출력형태(부록 1 참조)에 따라 A,B,Z 상을 터미널 보드에 연결하시고 커미조아가 제공하는 시험 프로그램을 작동하셔서 동작확인을 하실 수 있습니다. 사용자가 엔코더를 사용하실 때 사용자는 현재 엔코더의 A,Z 상의 방향에 따른 누적 개수와 A,Z 중 하나를 선택한 현재 엔코더의 회전 속도 등을 편리하게 참조 하실 수 있습니다. COMI-SD501 은 엔코더를 사용하는 모든 개발 업무와 여기에 부합되는 모터 제어에 있어 사용자가 경험하지 못한 편리함을 제공할 것입니다.

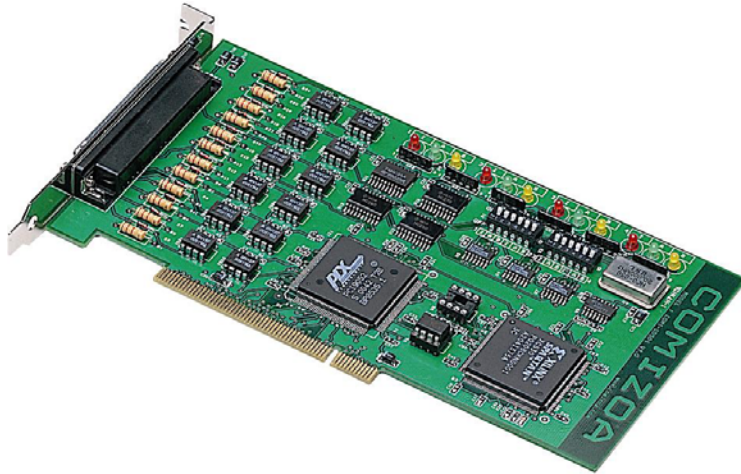
◆ 사용 가능한 터미널 보드

COMI-CPT1 (page127 참조)

◆ 사용 가능한 케이블

COMI-CPCABLE (page134 참조)

### 1-1.COMI-SD501 사양



[그림 2-41] COMI-SD501

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크기 ..... 195 \* 107 mm
- ▷ PNP (Plug &Play)

#### 1-1-1. 입출력 채널

- ▷ 엔코더/카운터 입력 ..... 4 채널
- ▷ 모터 제어용 구형파 출력 ..... 4 채널
- ▷ 디지털 출력 ..... 5 채널

#### 1-1-2. Encoder/Counter

- ▷ Encoder A Counter ..... 24Bits Counter,

Up/Down Binary, BCD, 24 Hour Clock

- ▷ Encoder Z Counter ..... 16Bitss Up/Dn Counter (Auto Direction)
- ▷ Channel Number ..... 4 Channels
- ▷ Input Impedance ..... 1.2 KOhm
- ▷ Data Transfer ..... Programmed I/O, Interrupt

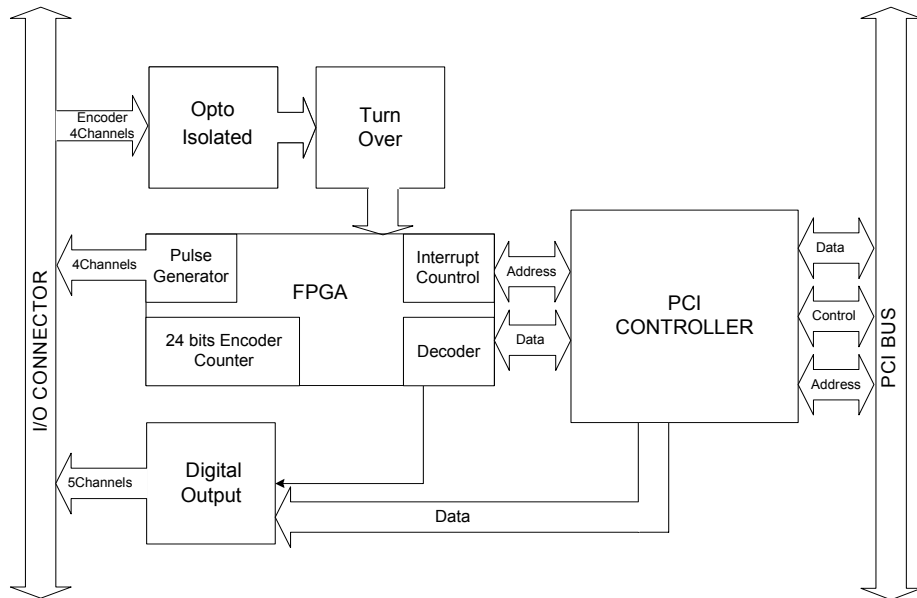
1-1-3. Digital Output

- ▷ TTL Compatible Output
- ▷ Channel ..... 5 Channels
- ▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )
- ▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)
- ▷ Data Transfer ..... Programmed I/O

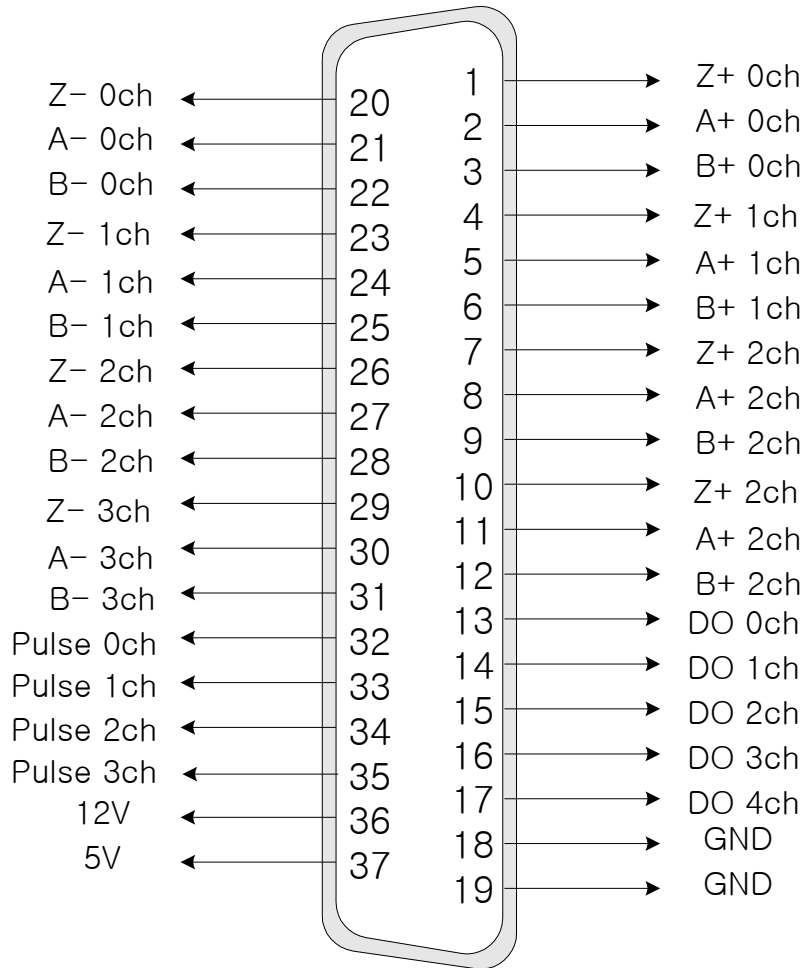
1-1-4. Pulse Generator

- ▷ Channel ..... 4 Channels
- ▷ Resolution ..... 32 Bits
- ▷ Base Clock Available ... 10MHz
- ▷ Programmable Rate Generator / Programmable Pulse Count Limitation
- ▷ Pulse Generator ..... 16Bitss Counter X 2 (One for Frequency, the Other for Number Setting)

1-2.COMI-SD501 구조



[그림 2-42] COMI-SD501 Hardware 개념도



[그림 2-43] COMI-SD501 커넥터 핀 배열

## Chapter6. Counter/Motor Control Board

| Signal Name | Reference | I/O | Description         |
|-------------|-----------|-----|---------------------|
| Z+ n<CH>    | GND       | 입력  | 엔코더 Z+상 입력          |
| Z- n<CH>    | GND       | 입력  | 엔코더 Z-상 입력          |
| A+ n<CH>    | GND       | 입력  | 엔코더 A+상 입력          |
| A- n<CH>    | GND       | 입력  | 엔코더 A-상 입력          |
| B+ n<CH>    | GND       | 입력  | 엔코더 B+상 입력          |
| B- n<CH>    | GND       | 입력  | 엔코더 B-상 입력          |
| Pulse n<CH> | GND       | 출력  | 펄스출력 채널             |
| D0<0..4>    | GND       | 출력  | 디지털 출력 채널(0 부터 7 번) |
| GND         |           |     | 디지털 그라운드            |
| 12V,5V      | GND       | 출력  | 전압출력                |

➤ 표 2-14. COMI-SD501 37Pin Connector



## 2.COMI-SD502

COMI-SD502 는 카운터 입력, 디지털 출력을 사용하는 모든 기능을 사용자 중심으로 편리하게 사용되어질 수 있게 설계된 Counter Board 입니다.

쥘커미조아가 개발한 다 채널 구형파의 주파수를 측정하는 칩이 내장되었으며 특히 모든 상태를 프로그램으로 제어가 가능합니다. 또한 Windows 와 DOS 등의 OS 에 상관없이 좋은 성능을 낼 수 있습니다. 3 개의 디지털 입출력 채널이 있어 사용자는 디지털 입력으로 3 채널을 혹은 디지털 출력으로 3 채널을 선택하여 사용하실 수 있습니다. 사용자가 모드를 선택하여 일반적인 32Bits 카운터 기능과 주파수 측정기능 중의 하나를 선택하여 사용하실 수 있습니다.

총 10 채널의 카운터 입력 채널이 내장되어 있으며 각 채널은 32Bits 로 구성되어 있습니다. 또한 주파수 측정은 하드웨어적으로 구성되어 있어 입력된 구형파의 주파수가 자동 설정되어 레지스터에 저장됩니다. 그리고 이 값들은 자동으로 갱신되며 이전 값은 다른 레지스터로 저장되어 실시간으로 입력 신호의 주파수를 확인할 수 있습니다.

엔코더를 사용하지 않고 근접 스위치로 회전을 인식하는 경우, 엔코더의 Z 상으로만 회전속도를 측정하고자 하는 경우에 적합합니다.

### ◆ 사용 가능한 터미널 보드

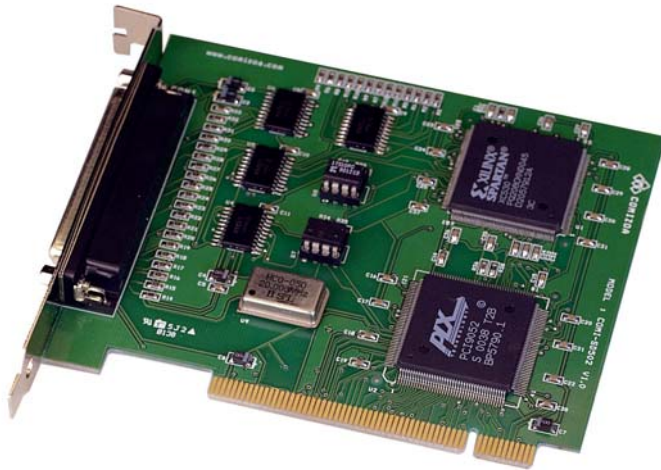
COMI-CPT1 (page127 참조)

### ◆ 사용 가능한 케이블

COMI-CPCABLE1 (page1341 참조)

COMI-CPCABLE2 (page134 참조)

## 2-1.COMI-SD502 사양



[그림 2-44] COMI-SD502

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크기 ..... 130 \* 107 mm
- ▷ PNP (Plug &Play)

### 2-1-1. 입출력 채널

- ▷ 카운터/Frequency Checker 입력 ..... 10 채널
- ▷ 디지털 입/출력 ..... 3 채널

### 2-1-2. Counter/Frequency Checker

- ▷ Counter ..... 32Bits Counter
- ▷ Channel Number ..... 10 Channels

▷ Data Transfer ..... Programmed I/O

### 2-1-3. Digital Input

▷ TTL Compatible Input

▷ Channel ..... 3 Channels

▷ Voltage Level ..... Low(0 ~ 0.8V), High(2V ~ )

▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(20mA)

▷ Data Transfer ..... Programmed I/O

### 2-1-4. Digital Output

▷ TTL Compatible Output

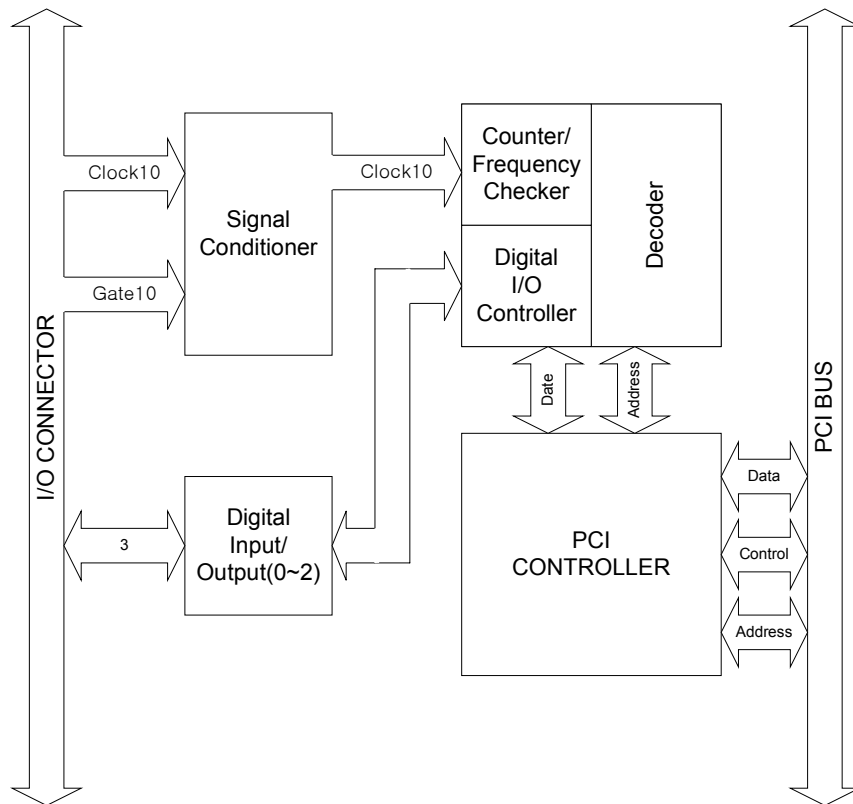
▷ Channel ..... 3 Channels

▷ Voltage Level ..... Low(0 ~ 0.4V), High(2.4V ~ )

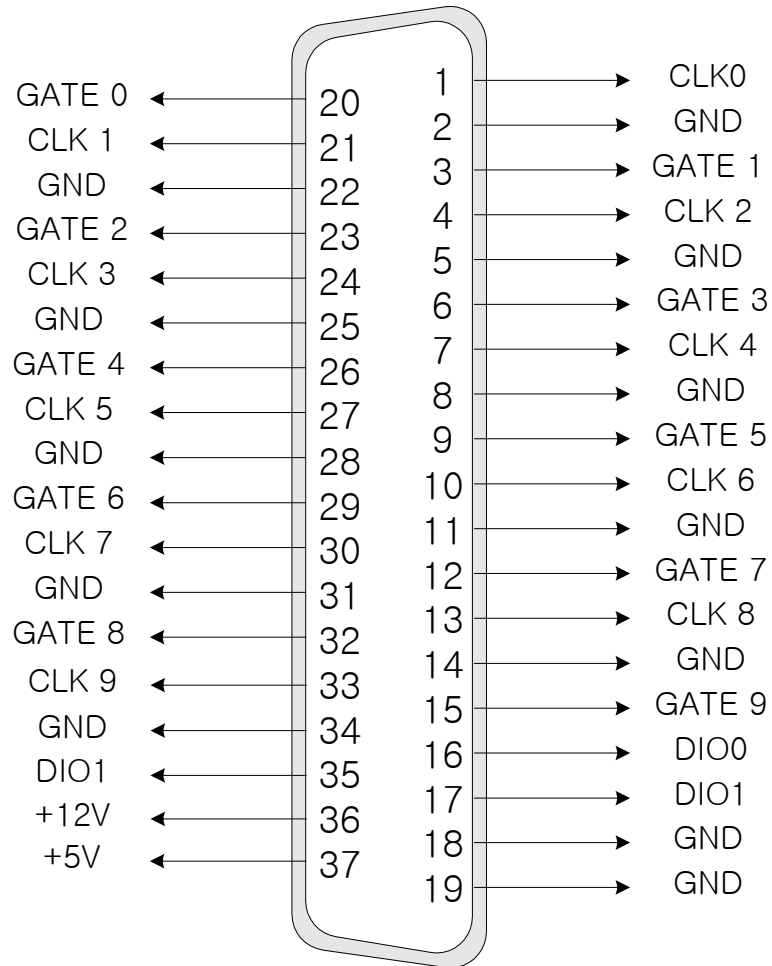
▷ Input Load ..... Low 0.5V(0.2mA), High 2.7V(0.4mA)

▷ Data Transfer ..... Programmed I/O

2-2.COMI-SD502 구조



[그림 2-45] COMI-SD502 Hardware 개념도



[그림 2-46] COM1-SD502 커넥터 핀 배열

| Signal Name | Reference | I/O | Description |
|-------------|-----------|-----|-------------|
| CLK n<CH>   | GND       | 입력  | 카운터 클럭 입력   |
| GATE n<CH>  | GND       | 입력  | 카운터 Gate 입력 |
| DIO <0..2>  | GND       | 입출력 | 디지털 입출력     |
| +5V         | GND       | 출력  | +5V 출력      |
| +12V        | GND       | 출력  | +12V 출력     |
| GND         | GND       | -   | 디지털 그라운드    |

➤ 표 2-15. COMI-SD502 37Pin Connector

### 3.COMI-CP501

COMI-CP501 은 카운터/타이머보드로 인텔 8254 카운터를 4 개 장착하여 총 12 채널의 16 비트 카운터/타이머를 사용할 수 있습니다.

이 제품은 32Bits PCI 구조로 설계되어 Windows Plug and Play 를 지원하여 사용자가 쉽게 장착가능하며 특히 모든 상태를 프로그램으로 제어가 가능하도록 설계되었습니다. 또한 Windows 95/98/2000 에서 보다 좋은 성능을 낼 수 있도록 제작되었습니다.

◆ 사용 가능한 터미널 보드

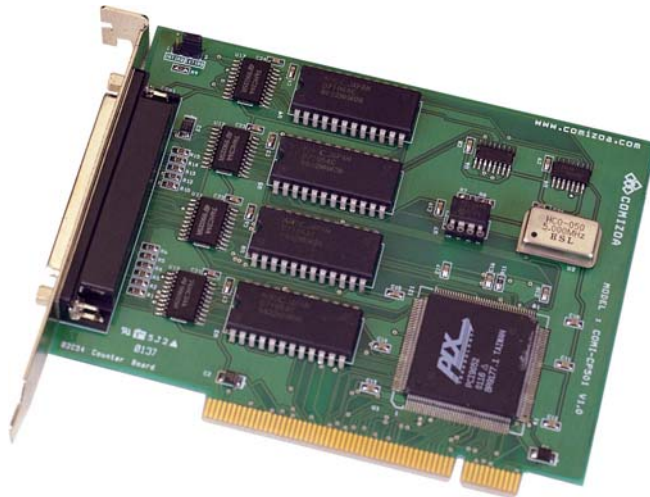
COMI-CPT1 (page127 참조)

◆ 사용 가능한 케이블

COMI-CPCABLE1 (page134 참조)

COMI-CPCABLE2 (page134 참조)

### 3-1.COMI-CP501 사양



[그림 2-47] COMI-CP501

- ▷ Bus ..... IBM PC Bus (32Bits PCI)
- ▷ 크 기 ..... 130 \* 100 mm
- ▷ PNP (Plug &Play)

#### 3-1-1.입출력 채널

- ▷ 카운터 입출력(8254) ..... 10 Channels
- ▷ 외부 인터럽트 ..... 1 Channel

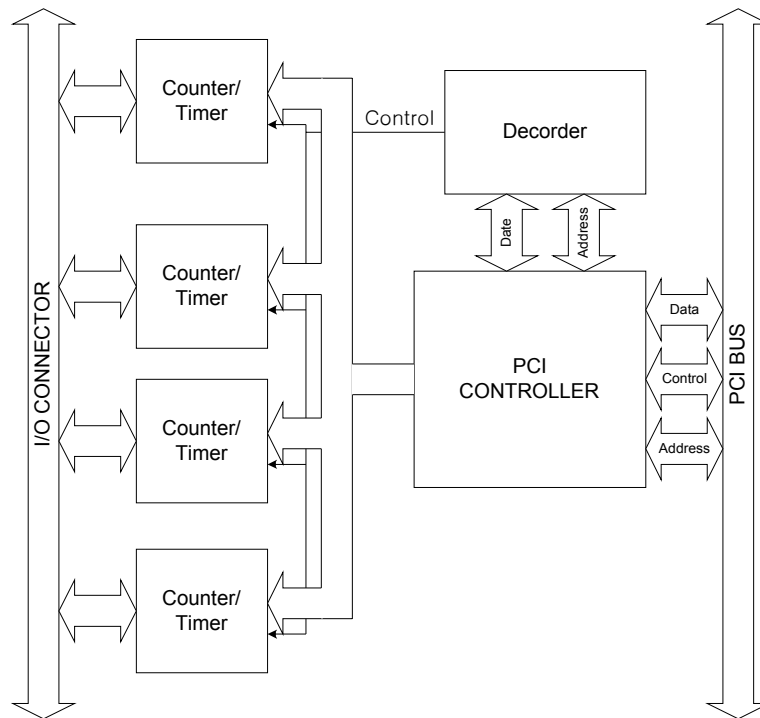
#### 3-1-2.Programmable Counter

- ▷ Intel 8254
- ▷ Channel ..... 10 Channels
- ▷ Resolution ..... 16Bits (Cascade 32Bits)

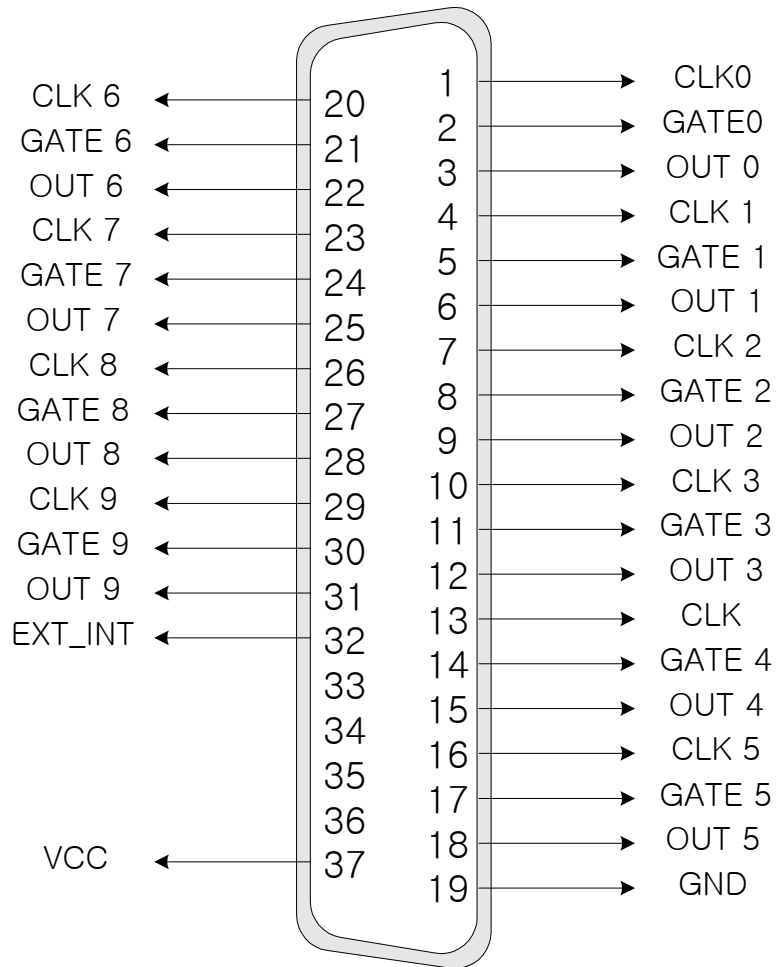


- ▷ Programmable Rate Generator
- ▷ Real Time Clock
- ▷ Digital One-Shot
- ▷ Interrupt Generator
- ▷ 5MHz Base Clock

3-2.COMI-CP501 구조



[그림 2-48] COMI-CP501 Hardware 개념도



[그림 2-49] COMI-CP501 커넥터 핀 배열

| Signal Name | Reference | I/O | Description                           |
|-------------|-----------|-----|---------------------------------------|
| OUT<0..9>   | DGND      | 출력  | 8253/4 타이머의 OUT #                     |
| GATE<0..9>  | DGND      | 입력  | 8253/4 타이머의 GATE #                    |
| CLK<0..9>   | DGND      | 입력  | 8253/4 타이머의 CLK #                     |
| EXT_INT     | DGND      | 입력  | 외부 인터럽트. 사용자가 별도의 외부신호를 입력 받아 인터럽트 발생 |
| DGND        |           |     | 디지털 그라운드                              |
| VCC         | DGND      | 출력  | 5V 출력                                 |

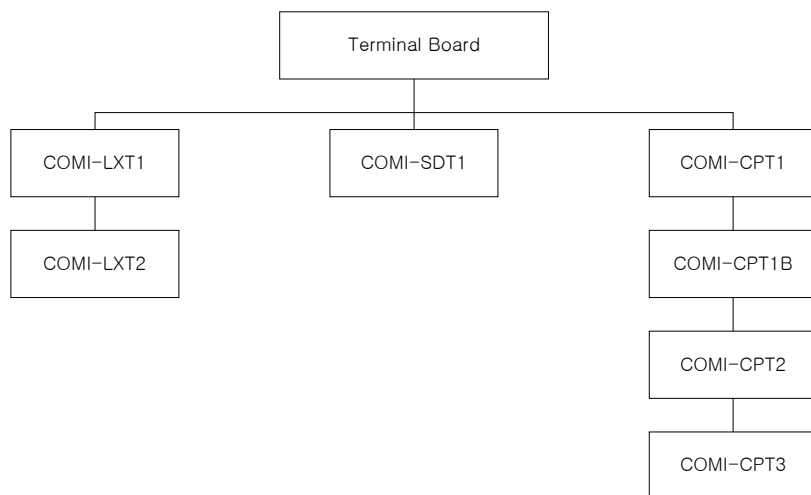
➤ 표 2-16. COM1-CP501 DSUB-37P Connector Pin



## CHAPTER 7. Terminal Board

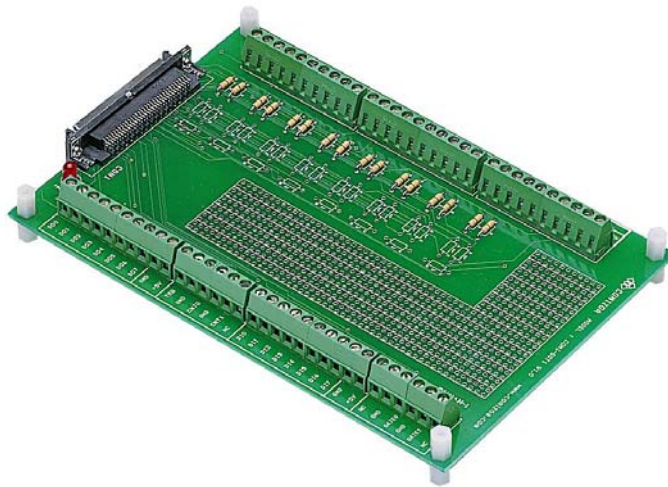
터미널 보드는 ㈜커미조아의 데이터 획득 보드와 신호선과의 연결을 위한 보드입니다. 데이터 획득 보드와 신호선을 직접 연결하면 신호선의 굵기와 길이에 따라 보드와 연결이 용이하지 않으므로 외부에 터미널 단자대를 장착한 터미널 보드를 사용하여 신호선을 연결합니다.

COMI-LXT1, COMI-LXT2는 LX 시리즈를 위한 보드이며 COMI-SDT1은 SD 시리즈를 위한 보드입니다. 그러나 COMI-SD501, COMI-SD502는 COMI-CPT1을 사용해야 됩니다. [그림 2-50]의 나머지 보드는 CP 시리즈를 위한 보드입니다. 일부 터미널 보드에는 아날로그 입력신호의 필터링을 위한 저항 및 커패시터를 연결하는 단자대가 포함되어 있으며 사용자가 외부 인터페이스를 위해 별도의 칩을 장착할 수 있는 공간도 있습니다.



[그림 2-50] COMIZOA Terminal Boards

## 1. COMI-SDT1



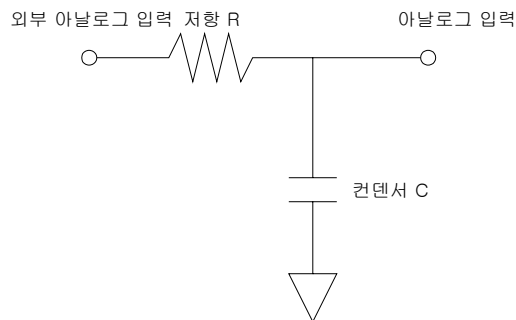
[그림 2-51] COMI-SDT1

COMI-SDT1 은 모든 SD 시리즈 Das 보드에 사용되어질 수 있는 범용 터미널 보드 입니다. 총 62 개의 터미널로 구성되어 있으며 커넥터 케이블과의 접촉이 잘되었는지 나타내주는 LED 가 내장되어 있습니다.

아날로그 입력신호의 잡음이 많이 발생하는 경우에 대비하여 COMI-SDT1 에 사용자가 구성할 수 있는 Low Pass Filter(LPF)가 있습니다.

그림 2-52 와 같이 처음에는 LPF 저항에는 0 $\Omega$ 의 저항이 연결되어 있으며 콘덴서에는 오픈되어 있습니다. 따라서 사용자는 자신이 연결하고자 하는 아날로그 입력신호의 잡음상태를 미리 오실로스코프와 같은 계측기기를 사용하여 잡음의 주파수 레벨을 확인한 후 적당한 Cut off frequency 를 정해 R 과 C 값을 정하여 연결해 주십시오.

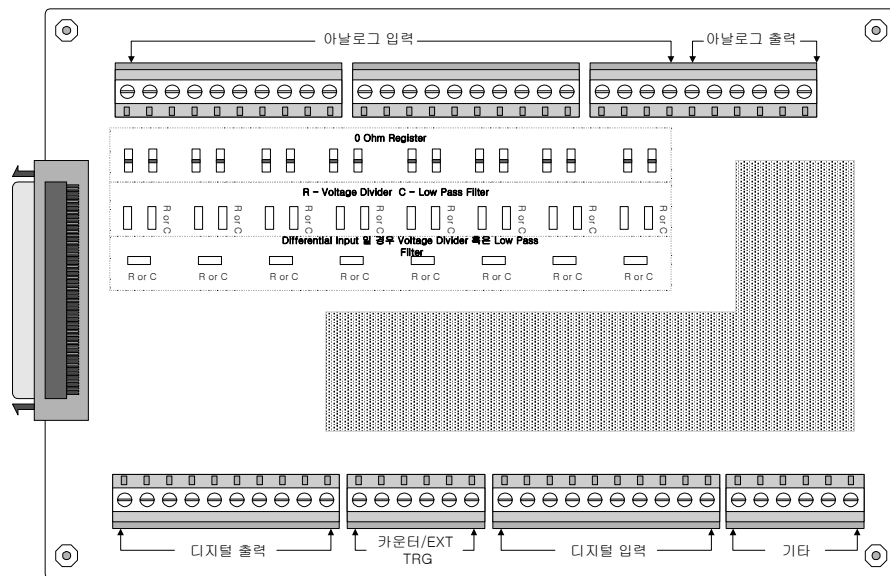
## Chapter7. Terminal Board



[그림 2-52] Low pass filter

사용자에 따라 입력신호의 전압범위가 큰 경우에는 그림 2-52 의 C 대신 적당한 저항을 사용하여 전압 분배를 할 수 있습니다.

COMI-SDT1 의 터미널 단자 구성은 그림 2-53 와 같습니다.



[그림 2-53] COMI-SDT1 연결도



그림에서 아날로그 입력 신호 연결단자는 SINGLE ENDED 로 사용하는 경우와 DIFFERENTIAL 로 사용하는 경우에 따라 차이가 있습니다. 표 2-17 는 처음의 3 개의 단자만을 따로 표시한 것입니다.

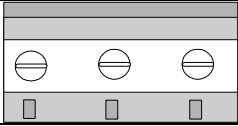
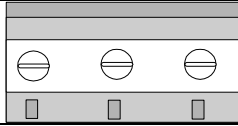
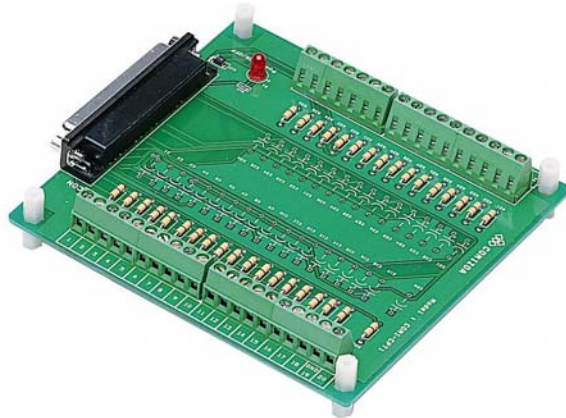
| 터미널 표기 | Single Ended 연결                                                                   |    |      | 터미널 표기 | Differential 연결                                                                    |    |      |
|--------|-----------------------------------------------------------------------------------|----|------|--------|------------------------------------------------------------------------------------|----|------|
| Single | A0                                                                                | A8 | AGND | Single | A0                                                                                 | A8 | AGND |
| Diff   | +                                                                                 | A0 | -    | Diff   | +                                                                                  | A0 | -    |
| 그림     |  |    |      | 그림     |  |    |      |
| 연결법    | $\begin{array}{c} \text{+ CHO -} \\ \text{+ CH8 -} \end{array}$                   |    |      | 연결법    | $\text{+ CHO -}$                                                                   |    |      |

표 2-17. 아날로그 신호 입력 연결

## 2. COMI-CPT1

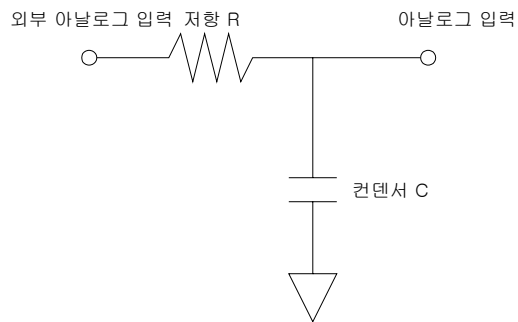


[그림 2-54] COMI-CPT1

COMI-CPT1 은 모든 CP 시리즈 Das 보드에 사용되어질 수 있는 범용 터미널 보드 입니다. 총 37 개의 터미널로 구성되어 있으며 커넥터 케이블과의 접촉이 잘되었는지 나타내주는 LED 가 내장되어 있습니다.

아날로그 입력신호의 잡음이 많이 발생하는 경우에 대비하여 COMI-CPT1 에 사용자가 구성할 수 있는 Low Pass Filter(LPF)가 있습니다.

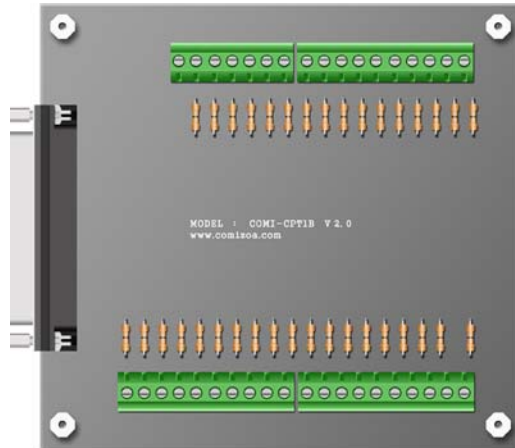
그림 2-55 와 같이 처음에는 LPF 에 저항에는 0 $\Omega$ 의 저항이 연결되어 있으며 컨덴서에는 오픈되어 있습니다. 따라서 사용자는 자신이 연결하고자 하는 아날로그 입력신호의 잡음상태를 미리 오실로스코프와 같은 계측기기를 사용하여 잡음의 주파수 레벨을 확인한 후 적당한 Cut off frequency 를 정해 R 과 C 값을 정하여 연결해 주십시오.



[그림 2-55] Low pass filter

사용자에 따라 입력신호의 전압범위가 큰 경우에는 그림 2-55 의 C 대신 적당한 저항을 사용하여 전압 분배를 할 수 있습니다.

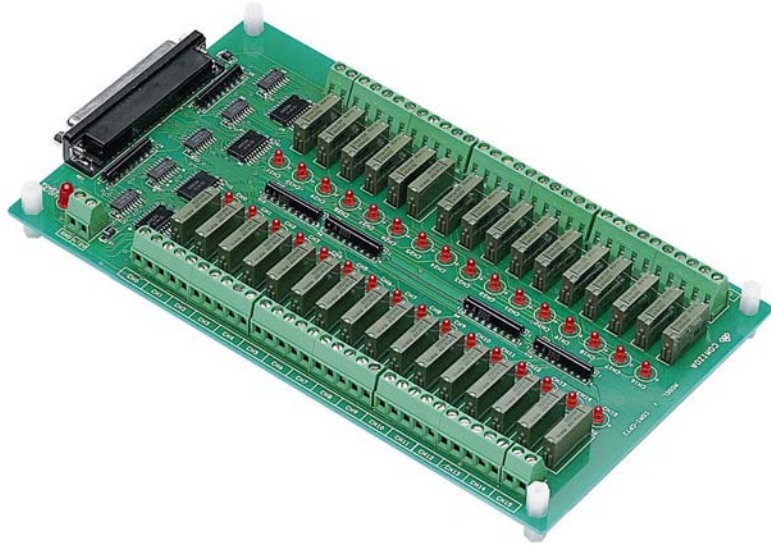
### 3. COMI-CPT1B



[그림 2-56] COMI-CPT1B

COMI-CPT1B 는 모든 CP 시리즈 DAS 보드에 사용될 수 있는 범용 터미널 보드입니다. 총 37 개의 터미널로 구성되어 있으며, DAS 보드의 입출력 커넥터와 1:1 로 연결시켜주는 Dummy Terminal Board 입니다.

#### 4. COMI-CPT2



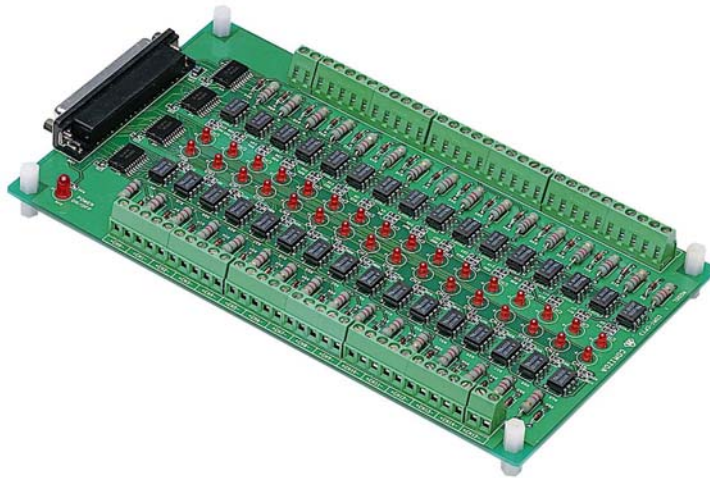
[그림 2-57] COMI-CPT2

COMI-CPT2 는 32 채널 릴레이 터미널 보드 입니다. COMI-CP401 과 연결하여 사용될 수 있으며 각 채널에는 현재의 상태를 알 수 있는 LED 가 내장되어 있습니다. 그림 2-56 에서 좌측 상단에는 릴레이를 구동할 수 있는 외부 전원+12V 가 인가 되어야 하는 터미널이 있습니다. 외부 전원은 최소 1A 이상의 전원 소스가 필요합니다.

출력단의 터미널은 각 채널 당 2 개씩 구성되어 있으며 사용자가 해당 채널을 ON/OFF 하는 것은 채널 양 단의 접점을 ON/OFF 하는 것입니다.

릴레이를 사용하여 상대적으로 용량이 큰 접점을 허용하는 반면에 고속 스위칭이나 정밀 스위칭에는 용도가 적합하지 않습니다.

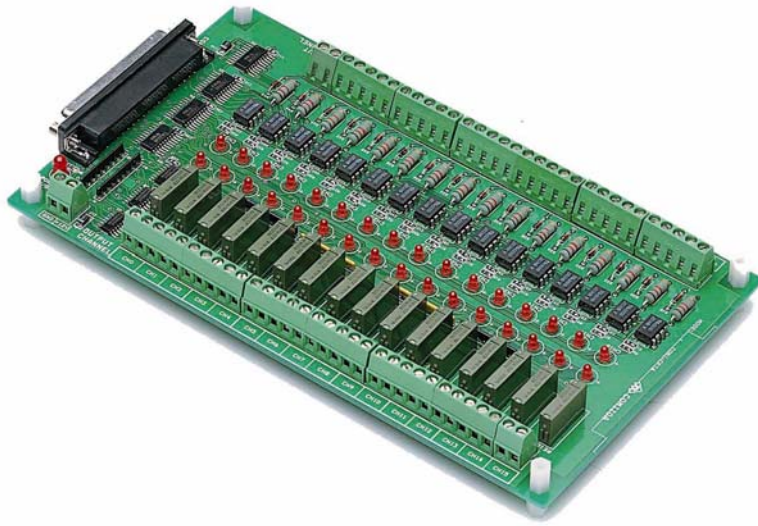
## 5. COMI-CPT3



[그림 2-58] COMI-CPT3

COMI-CPT3 는 COMI-CP401 과 연결하여 사용할 수 있는 Opto-isolated 디지털 입력 터미널 보드입니다. COMI-CPT3 에 사용되는 포토커플러는 스위칭 속도가 상대적으로 매우 빠르며 입력 전압의 범위는 4~30V 입니다. 일반적으로 그라운드가 서로 공통으로 사용되기 어려운 곳이나 디지털 출력을 내보내는 센서류가 서로 상이 할 경우에 사용될 수 있습니다. COMI-CPT3 는 각 채널 당 외부 입력의 상태를 알 수 있는 LED 가 내장되어 있습니다. 또한 좌측 하단의 적색 LED 는 CPCABLE 과의 연결을 확인 할 수 있습니다.

## 6. COMI-CPT4



[그림 2-59] COMI-CPT4

COMI-CPT4 는 사용자가 COMI-CP401 을 사용할 경우에 디지털 입력으로 16 채널, 디지털 출력으로 16 채널을 사용할 경우에 사용되어 집니다. 각 디지털 입출력으로 COMI-CPT2,COMI-CPT3 와 같은 사양을 가지고 있습니다.

## 7. SDCABLE1



[그림 2-60] SDCABLE1

그림과 같이 SDCABLE 은 68 핀 커넥터 케이블입니다. 길이는 약 90cm 이며 양쪽 모두 래치형 입니다.

## 8. SDCABLE2



[그림 2-61] SDCABLE2

그림과 같이 SDCABLE 은 68 핀 커넥터 케이블입니다. 길이는 약 180cm 이며 양쪽 모두 래치형 입니다.



## 9. CPCABLE1



[그림 2-62] CPCABLE1

37 핀 CP 용 케이블 이며 길이는 90cm 와 180 Cm 입니다.

## 10. CPCABLE2



[그림 2-63] CPCABLE2

---

# PART III







## CHAPTER 8. 레지스터 구조

COMIZOA 보드에는 많은 레지스터가 사용됩니다. 각 레지스터는 사용 용도와 비트구조가 다릅니다. 지금부터는 각 레지스터의 종류와 위치, 사용방법을 설명하여 사용자가 각 레지스터를 이해하시는데 도움을 드리겠습니다.

사용자가 자신만의 라이브러리를 제작하시려면 레지스터의 구조와 하드웨어의 동작에 대해 명확히 파악하셔야 됩니다.

저희는 사용자가 A/D, D/A 에 관한 프로그래밍은 라이브러리를 사용하기를 권장합니다. 그 이유는 사용자가 작성하는 라이브러리 보다 더 최적화되고 안정화된 성능을 제공하기 때문입니다.

그러나 사용자가 독창적이고 (쥬커미조아가 제공하지 않는 라이브러리를 제작하시려면 (쥬커미조아에 기술문의를 하십시오.

## 1. COMI-SD101/103/104 의 레지스터 구조 및 형식

### ◆ 레지스터 값을 읽을 때의 레지스터 구조

| No. | Address | Description                   | Bit    |
|-----|---------|-------------------------------|--------|
| 0   | CS0+0   | A/D Buffer Register           | 32Bits |
| 1   | CS0+4   | A/D Conversion Check Register | 32Bits |
| 2   | CS0+8   | A/D Gain Memory Trigger       | 32Bits |
| 3   | CS1+0   | A/D FIFO Register             | 32Bits |
| 4   | CS2+0   | Digital Input Register        | 32Bits |
| 5   | CS3+0   | Counter0 Low Word Register    | 32Bits |
| 6   | CS3+4   | Counter0 High Word Register   | 32Bits |
| 7   | CS3+8   | Counter1 Low Word Register    | 32Bits |
| 8   | CS3+12  | Counter1 High Word Register   | 32Bits |
| 9   | CS3+16  | Speed Checker0 Word Register  | 32Bits |
| 10  | CS3+20  | Speed Checker1 Word Register  | 32Bits |

➤ 표 3-1. COMI-SD101 레지스터 구조

**A/D Buffer Register** –그리고 Bit0 부터 11 까지 A/D 변환한 데이터가 들어 있습니다. 사용자는 반드시 Bit Masking 을 이용하여 위의 해당 데이터를 참조해야 됩니다.

| Address | Bit 구조   |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----------|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11       | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    | A/D Data |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27       | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-2. A/D Buffer 레지스터 구조

**A/D Conversion Check Register** - 사용자는 이 레지스터를 체크하여 A/D 변환 완료값을 얻을 수 있습니다. 만약 사용자가 읽은 데이터의 Bit0 가 1 이면 A/D 변환이 완료되었다는 것이고 0 이면 A/D 변환이 수행되는 중 입니다.

| Address | Bit 구조   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---------|----------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Bit     | 1        | 1 | 1 | 1 | 1 | 1 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | Not Used |   |   |   |   |   |   |   |   |   |   |   |   |   |   | C |
| Bit     | 3        | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 1 | 1 | 1 | 1 |
|         | 1        | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

➤ 표 3-3. A/D Conversion Check 레지스터 구조

**A/D Gain Memory Trigger Register** - 사용자는 이 레지스터를 Read 하여 A/D Gain Memory 를 0h~Fh 까지 Addressing 이 가능합니다. 1 번 Read 시 Address 1 씩 증가합니다.

**A/D FIFO Register** -Bit0 부터 11 까지 A/D 변환한 데이터가 들어 있습니다. 사용자는 반드시 Bit Masking 을 이용하여 위의 해당 데이터를 참조해야 됩니다.

| Address | Bit 구조   |   |   |   |   |          |   |   |   |   |   |   |   |   |   |   |
|---------|----------|---|---|---|---|----------|---|---|---|---|---|---|---|---|---|---|
| Bit     | 1        | 1 | 1 | 1 | 1 | 1        | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | Not Used |   |   |   |   | A/D Data |   |   |   |   |   |   |   |   |   |   |
| Bit     | 3        | 3 | 2 | 2 | 2 | 2        | 2 | 2 | 2 | 2 | 2 | 2 | 1 | 1 | 1 | 1 |
|         | 1        | 0 | 9 | 8 | 7 | 6        | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used |   |   |   |   |          |   |   |   |   |   |   |   |   |   |   |

➤ 표 3-4. A/D FIFO 레지스터 구조

## Chapter8. 레지스터 구조

**Digital Input Register** – 사용자가 디지털 입력을 수행할 때 Digital Input Register 를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Input |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |

➤ 표 3-5. Digital Input 레지스터 구조

**Counter0 Low Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Count 값을 얻을 수 있습니다.

| Address | Bit 구조              |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|---------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                  | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Count Low Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                  | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used            |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-6. Counter0 Low Word 레지스터 구조

**Counter0 High Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Counter0 low data 와 더하여 Count 값을 얻을 수 있습니다.



| Address | Bit 구조               |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
|---------|----------------------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| Bit     | 1<br>5               | 1<br>4 | 1<br>3 | 1<br>2 | 1<br>1 | 1<br>0 | 9      | 8      | 7      | 6      | 5      | 4      | 3      | 2      | 1      | 0      |
|         | Count High Word Data |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
| Bit     | 3<br>1               | 3<br>0 | 2<br>9 | 2<br>8 | 2<br>7 | 2<br>6 | 2<br>5 | 2<br>4 | 2<br>3 | 2<br>2 | 2<br>1 | 2<br>0 | 1<br>9 | 1<br>8 | 1<br>7 | 1<br>6 |
|         | Not Used             |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |

➤ 표 3-7. Counter0 High Word 레지스터 구조

**Counter1 Low Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Count 값을 얻을 수 있습니다.

| Address | Bit 구조              |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
|---------|---------------------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| Bit     | 1<br>5              | 1<br>4 | 1<br>3 | 1<br>2 | 1<br>1 | 1<br>0 | 9      | 8      | 7      | 6      | 5      | 4      | 3      | 2      | 1      | 0      |
|         | Count Low Word Data |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
| Bit     | 3<br>1              | 3<br>0 | 2<br>9 | 2<br>8 | 2<br>7 | 2<br>6 | 2<br>5 | 2<br>4 | 2<br>3 | 2<br>2 | 2<br>1 | 2<br>0 | 1<br>9 | 1<br>8 | 1<br>7 | 1<br>6 |
|         | Not Used            |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |

➤ 표 3-8. Counter1 Low Word 레지스터 구조

**Counter1 High Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Counter1 low data 와 더하여 Count 값을 얻을 수 있습니다.

| Address | Bit 구조               |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
|---------|----------------------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| Bit     | 1<br>5               | 1<br>4 | 1<br>3 | 1<br>2 | 1<br>1 | 1<br>0 | 9      | 8      | 7      | 6      | 5      | 4      | 3      | 2      | 1      | 0      |
|         | Count High Word Data |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
| Bit     | 3<br>1               | 3<br>0 | 2<br>9 | 2<br>8 | 2<br>7 | 2<br>6 | 2<br>5 | 2<br>4 | 2<br>3 | 2<br>2 | 2<br>1 | 2<br>0 | 1<br>9 | 1<br>8 | 1<br>7 | 1<br>6 |
|         | Not Used             |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |

➤ 표 3-9. Counter1 High Word 레지스터 구조

## Chapter8. 레지스터 구조

**Speed Checker0 Word Register** – 사용자가 Counter0 으로 입력되는 신호의 주파수를 얻고자 할 때 이 레지스터를 Read 하여 Count 값을 참조하면 됩니다.

| Address                  | Bit 구조 |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|--------------------------|--------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit                      | 15     | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Speed Checker0 Word Data |        |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit                      | 31     | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Not Used                 |        |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-10. Speed Checker0 Word 레지스터 구조

**Speed Checker1 Word Register** – 사용자가 Counter1 으로 입력되는 신호의 주파수를 얻고자 할 때 이 레지스터를 Read 하여 Count 값을 참조하면 됩니다.

| Address                  | Bit 구조 |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|--------------------------|--------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit                      | 15     | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Speed Checker1 Word Data |        |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit                      | 31     | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Not Used                 |        |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-11. Speed Checker1 Word 레지스터 구조

## ◆ 레지스터에 값을 기록할 때의 레지스터 구조

| No | Address | Description                         | Bit    |
|----|---------|-------------------------------------|--------|
| 0  | CS0+0   | INT Clear Register                  | 32Bits |
| 1  | CS0+4   | A/D Range Memory Control Register   | 32Bits |
| 2  | CS0+8   | A/D Software Trigger Register       | 32Bits |
| 3  | CS0+12  | A/D Channel & Range Memory Register | 32Bits |
| 4  | CS0+16  | A/D Scan Channel Number Register    | 32Bits |
| 5  | CS0+20  | Interrupt Control Register          | 32Bits |
| 6  | CS0+24  | A/D Trigger Timer Control Register  | 32Bits |
| 7  | CS0+28  | A/D Trigger Control Register        | 32Bits |
| 8  | CS1+0   | D/A0 Output Register                | 32Bits |
| 9  | CS1+4   | D/A1 Output Register                | 32Bits |
| 10 | CS2+0   | Digital Output Register             | 32Bits |
| 11 | CS3+0   | Sampling Timer Register0            | 32Bits |
| 12 | CS3+4   | Sampling Timer Register1            | 32Bits |
| 13 | CS3+8   | Scan Timer Register0                | 32Bits |
| 14 | CS3+12  | Scan Timer Register1                | 32Bits |
| 15 | CS3+16  | Speed Checker Gate Control Register | 32Bits |
| 16 | CS3+24  | Counter0 Clear Register             | 32Bits |
| 17 | CS3+28  | Counter1 Clear Register             | 32Bits |

➤ 표 3-12. COM1-SD101 Writing 레지스터 구조

**Interrupt Clear Register** – 사용자가 Interrupt 를 사용하여 A/D 를 할 경우 Interrupt Service Routine 의 첫 부분에서 INT Clear Register 에 0h 를 써넣음으로써 가능합니다.

**A/D Range Control Register** – A/D Range Memory Control 시 사용합니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |        |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0      |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    | R  | M<br>T |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16     |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |        |

➤ 표 3-13. A/D Control 레지스터 구조

MT : A/D Range Memory 의 Trigger 를 선택할 수 있습니다.

0 : Software Trigger 선택

1 : A/D Complete Trigger 선택

R : A/D Range Memory Reset

Low 로 떨어뜨렸다 Memory Trigger 후 High 로 올리면 됩니다.

**A/D Software Trigger Register** – 사용자가 단 한번이나 제한된 횟수의 A/D 변환을 하고자 할 때 A/D Software Trigger Register 에 0h 를 쓸 때 마다 A/D 변환이 수행됩니다. 예를 들면 사용자는 자신의 응용 프로그램의 타이머 루틴 안에 A/D Software Trigger Register 를 쓴 후 다시 A/D Buffer Register 를 참조하면 자신이 원하는 시간에(Sampling Rate) 유효한 데이터를 획득할 수 있습니다.

**A/D Channel & Range Register** – 사용자가 사용하려는 A/D 채널에 대한 입력 전압의 범위를 지정하는 레지스터입니다. 사용자는 반드시 A/D 변환을 시작하기 전에 이 레지스터를 이용하여 계측하려는 채널의 전압범위를 설정하셔야 합니다. 적절한 전압 범위설정은 Resolution 향상에 직접적인 영향을 줄 수 있습니다. 사용자는 이 레지스터를 기록하기 전에 반드시 입력 전압을 확인 해야 됩니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |       |    |    |         |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|-------|----|----|---------|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7     | 6  | 5  | 4       | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Range |    |    | Channel |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23    | 22 | 21 | 20      | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |       |    |    |         |    |    |    |    |

➤ 표 3-14. A/D Range 레지스터 구조

| Channel | Bit3 | Bit2 | Bit1 | Bit0 |
|---------|------|------|------|------|
| 0       | 0    | 0    | 0    | 0    |
| 1       | 0    | 0    | 0    | 1    |
| 2       | 0    | 0    | 1    | 0    |
| -       | -    | -    | -    | -    |
| 13      | 1    | 1    | 0    | 1    |
| 14      | 1    | 1    | 1    | 0    |
| 15      | 1    | 1    | 1    | 1    |

| Volt Range | Bit6 | Bit5 | Bit4 |
|------------|------|------|------|
| 0~10       | 0    | 0    | 0    |
| 0~5        | 0    | 0    | 1    |
| 0~2        | 0    | 1    | 0    |
| 0~1        | 0    | 1    | 1    |
| ±10        | 1    | 0    | 0    |
| ±5         | 1    | 0    | 1    |
| ±2         | 1    | 1    | 0    |
| ±1         | 1    | 1    | 1    |

**Scan Channel Number Register** – Scan 할 Channel 의 수를 정합니다.  
Scan 할 Channel 의 수에서 -1 을 한 값을 써야 합니다.

**Interrupt Control Register** – Interrupt Request Source Signal 을 선택 합니다.

## Chapter8. 레지스터 구조

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    | IC |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-15. Interrupt Control 레지스터 구조

| Request Source Signal | Bit1 | Bit0 |
|-----------------------|------|------|
| A/D Done Signal       | 0    | 0    |
| 1 Scan                | 0    | 1    |
| FIFO Half Full        | 1    | 0    |
| NO Signal             | 1    | 1    |

**A/D Timer Control Register** – A/D Trigger Timer Control Register  
입니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |       |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|-------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3     | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    | Timer |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19    | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |       |    |    |    |

➤ 표 3-16. A/D Trigger Timer Control 레지스터 구조

- Bit0 : 1로 하면 1channel 만 Scan 합니다. 0 이면 다 Channel Scan.
- Bit1 : High로 올렸다 Low로 떨어뜨리면 Timer Data가 Clear 됩니다.
- Bit2 : High로 올렸다 Low로 떨어뜨리면 Timer Data가 Load 됩니다.
- Bit3 : 1이면 Base Clock Enable 0이면 Base Clock Disable.

**A/D Trigger Control Register** – A/D Trigger Source Signal 을 선택합니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |     |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|-----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    | TRG |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |     |    |    |    |

➤ 표 3-17. A/D Trigger Control 레지스터 구조

| Trigger  | Bit2 | Bit1 | Bit0 |
|----------|------|------|------|
| Disable  | 0    | 0    | 0    |
| Software | 0    | 0    | 1    |
| Timer    | 0    | 1    | 0    |
| External | 1    | 0    | 0    |

**D/A Output Channel Register** – 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/A Channel Register 에 사용자가 원하는 값( 0-4095 )을 기록하면 아날로그 출력이 수행됩니다. 한가지 주의할 점은 11 번 bit 를 반전한 Data 를 써야 합니다.

| Address | Bit 구조   |    |    |    |    |          |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----------|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10       | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    | D/A Data |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26       | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |          |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-18. D/A Output Channel 레지스터 구조

**Digital Output Register** – 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털 출력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Output |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |

➤ 표 3-19. Digital Output 레지스터 구조

**Sampling Timer0 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Sampling Time 을 결정하는 Register 입니다. Base Clock(1.5MHz)을 분주하게 됩니다.

| Address | Bit 구조                   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|--------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Sampling Timer0 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                 |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-20. Sampling Timer0 레지스터 구조

**Sampling Timer1 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Sampling Time 을 결정하는 Register 입니다. Sampling Timer0 레지스터 와 함께 Base Clock(1.5MHz)을 분주한 출력이 Sampling Time 을 결정합니다.



| Address | Bit 구조                   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---------|--------------------------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Bit     | 1                        | 1 | 1 | 1 | 1 | 1 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | 5                        | 4 | 3 | 2 | 1 | 0 |   |   |   |   |   |   |   |   |   |   |
|         | Sampling Timer1 Register |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| Bit     | 3                        | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 1 | 1 | 1 | 1 |
|         | 1                        | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used                 |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

➤ 표 3-21. Sampling Timer1 레지스터 구조

**Scan Timer0 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Scan Time 을 결정하는 Register 입니다. Base Clock(1.5MHz) 을 분주하게 됩니다.

| Address | Bit 구조               |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
|---------|----------------------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| Bit     | 1<br>5               | 1<br>4 | 1<br>3 | 1<br>2 | 1<br>1 | 1<br>0 | 9      | 8      | 7      | 6      | 5      | 4      | 3      | 2      | 1      | 0      |
|         | Scan Timer0 Register |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
| Bit     | 3<br>1               | 3<br>0 | 2<br>9 | 2<br>8 | 2<br>7 | 2<br>6 | 2<br>5 | 2<br>4 | 2<br>3 | 2<br>2 | 2<br>1 | 2<br>0 | 1<br>9 | 1<br>8 | 1<br>7 | 1<br>6 |
|         | Not Used             |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |

➤ 표 3-22. Scan Timer0 레지스터 구조

**Scan Timer1 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Scan Time 을 결정하는 Register 입니다. Base Clock(1.5MHz) 을 분주한 출력이 Scan Time 을 결정합니다.

| Address | Bit 구조               |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---------|----------------------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Bit     | 1                    | 1 | 1 | 1 | 1 | 1 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | 5                    | 4 | 3 | 2 | 1 | 0 |   |   |   |   |   |   |   |   |   |   |
|         | Scan Timer1 Register |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| Bit     | 3                    | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 1 | 1 | 1 | 1 |
|         | 1                    | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used             |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

➤ 표 3-23. Scan Timer1 레지스터 구조

**Speed Checker Gate Control Register** – 사용자가 Speed Checker 을 이용해서 Counter 로 입력되는 Pulse Signal 의 주파수를 계측할 때 Speed Checker 의 Gate 를 결정합니다.

| Address | Bit 구조   |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
|---------|----------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| Bit     | 1<br>5   | 1<br>4 | 1<br>3 | 1<br>2 | 1<br>1 | 1<br>0 | 9      | 8      | 7      | 6      | 5      | 4      | 3      | 2      | 1      | 0      |
|         | Not Used |        |        |        |        |        |        |        |        |        |        |        | Gate   |        |        |        |
| Bit     | 3<br>1   | 3<br>0 | 2<br>9 | 2<br>8 | 2<br>7 | 2<br>6 | 2<br>5 | 2<br>4 | 2<br>3 | 2<br>2 | 2<br>1 | 2<br>0 | 1<br>9 | 1<br>8 | 1<br>7 | 1<br>6 |
|         | Not Used |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |

➤ 표 3-24. Scan Timer1 레지스터 구조

| Gate                       | Bit1 | Bit0 |
|----------------------------|------|------|
| Checker0 Gate 5.461 msec   | 0    | 0    |
| Checker0 Gate 21.845 msec  | 0    | 1    |
| Checker0 Gate 87.381 msec  | 1    | 0    |
| Checker0 Gate 349.525 msec | 1    | 1    |

| Gate                       | Bit3 | Bit2 |
|----------------------------|------|------|
| Checker1 Gate 5.461 msec   | 0    | 0    |
| Checker1 Gate 21.845 msec  | 0    | 1    |
| Checker1 Gate 87.381 msec  | 1    | 0    |
| Checker1 Gate 349.525 msec | 1    | 1    |

**Counter0 Clear Register** – 사용자가 Counter0 를 수행할 때 Counter0 를 Software Clear 하는 Register 입니다.

**Counter1 Clear Register** – 사용자가 Counter1 를 수행할 때 Counter1 를 Software Clear 하는 Register 입니다.

## 2. COMI-CP101 레지스터 구조 및 형식

### ◆ 레지스터 값을 읽을 때의 레지스터 구조

| No. | Address | Description                   | Bit    |
|-----|---------|-------------------------------|--------|
| 0   | CS0+0   | A/D Buffer Register           | 32Bits |
| 1   | CS0+4   | A/D Conversion Check Register | 32Bits |
| 2   | CS2+0   | Digital Input Register        | 32Bits |
| 3   | CS3+0   | 82C54 Count0 Register         | 32Bits |
| 4   | CS3+4   | 82C54 Count1 Register         | 32Bits |
| 5   | CS3+8   | 82C54 Count2 Register         | 32Bits |

➤ 표 3-25. COMI-CP101 레지스터 구조

**A/D Buffer Register** - 그리고 Bit0 부터 7 까지 A/D 변환한 데이터가 들어 있습니다. 사용자는 반드시 Bit Masking 을 이용하여 위의 해당 데이터를 두 번 참조해야 됩니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |          |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7        | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | A/D Data |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23       | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |          |    |    |    |    |    |    |    |

➤ 표 3-26. A/D Buffer 레지스터 구조

**A/D Conversion Check Register** - 사용자는 이 레지스터를 체크하여 A/D 변환 값을 얻을 수 있습니다. 만약 사용자가 읽은 데이터의 Bit0 가 1 이면 A/D 변환이 완료되었다는 것이고 0 이면 A/D 변환이 수행되는 중입니다.

| Address | Bit 구조   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---------|----------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Bit     | 1        | 1 | 1 | 1 | 1 | 1 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | 5        | 4 | 3 | 2 | 1 | 0 |   |   |   |   |   |   |   |   |   |   |
|         | Not Used |   |   |   |   |   |   |   |   |   |   |   |   |   |   | C |
| Bit     | 3        | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 1 | 1 | 1 | 1 |
|         | 1        | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

➤ 표 3-27. A/D Conversion Check 레지스터 구조

**Digital Input Register** - 사용자가 디지털 입력을 수행할 때 Digital Input Register 를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀 번호는 같습니다.

| Address | Bit 구조   |   |   |   |   |   |   |   |               |   |   |   |   |   |   |   |
|---------|----------|---|---|---|---|---|---|---|---------------|---|---|---|---|---|---|---|
| Bit     | 1        | 1 | 1 | 1 | 1 | 1 | 9 | 8 | 7             | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | 5        | 4 | 3 | 2 | 1 | 0 |   |   |               |   |   |   |   |   |   |   |
|         | Not Used |   |   |   |   |   |   |   | Digital Input |   |   |   |   |   |   |   |
| Bit     | 3        | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2             | 2 | 2 | 2 | 1 | 1 | 1 | 1 |
|         | 1        | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3             | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used |   |   |   |   |   |   |   |               |   |   |   |   |   |   |   |

➤ 표 3-28. Digital Input 레지스터 구조

◆ 레지스터에 값을 기록할 때의 레지스터 구조

| No. | Address | Description                   | Bit    |
|-----|---------|-------------------------------|--------|
| 0   | CS0+0   | INT Clear Register            | 32Bits |
| 1   | CS0+4   | A/D Control Register          | 32Bits |
| 2   | CS0+8   | A/D Software Trigger Register | 32Bits |
| 3   | CS1+0   | D/A Output Register           | 32Bits |
| 4   | CS2+0   | Digital Output Register       | 32Bits |
| 5   | CS3+0   | 82C54 Count0 Register         | 32Bits |
| 6   | CS3+4   | 82C54 Count1 Register         | 32Bits |
| 7   | CS3+8   | 82C54 Count2 Register         | 32Bits |
| 8   | CS3+12  | 82C54 Count3 Register         | 32Bits |

➤ 표 3-29. COM1-CP101 Writing 레지스터 구조

**Interrupt Clear Register** - 사용자가 Interrupt 를 사용하여 A/D 를 할 경우 Interrupt Service Routine 의 첫 부분에서 INT Clear Register 에 0h 를 써넣음으로써 가능합니다.

**A/D Control Register** - 사용자가 사용하려는 A/D 채널에 대한 입력 전압의 범위를 지정하는 레지스터입니다. 사용자는 반드시 A/D 변환을 시작하기 전에 이 레지스터를 이용하여 계측하려는 채널의 전압범위를 설정하셔야 합니다. 적절한 전압 범위설정은 Resolution 향상에 직접적인 영향을 줄 수 있습니다. 사용자는 이 레지스터를 기록하기 전에 반드시 입력 전압을 확인 해야 됩니다.

| Address | Bit 구조   |    |    |    |    |    |    |         |    |    |      |    |         |    |    |    |
|---------|----------|----|----|----|----|----|----|---------|----|----|------|----|---------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8       | 7  | 6  | 5    | 4  | 3       | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    | B  | Trigger |    |    | Gain |    | Channel |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24      | 23 | 22 | 21   | 20 | 19      | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |         |    |    |      |    |         |    |    |    |

| Channel | Bit3 | Bit2 | Bit1 | Bit0 |
|---------|------|------|------|------|
| 0       | X    | 0    | 0    | 0    |
| 1       | X    | 0    | 0    | 1    |
| 2       | X    | 0    | 1    | 0    |
| 3       | X    | 0    | 1    | 1    |
| 4       | X    | 1    | 0    | 0    |
| 5       | X    | 1    | 0    | 1    |
| 6       | X    | 1    | 1    | 0    |
| 7       | X    | 1    | 1    | 1    |

| Volt Range | Bit5 | Bit4 |
|------------|------|------|
| $\pm 10$   | 0    | 0    |
| $\pm 5$    | 0    | 1    |
| $\pm 2$    | 1    | 0    |
| $\pm 1$    | 1    | 1    |

| Trigger  | Bit8 | Bit7 | Bit6 |
|----------|------|------|------|
| Disable  | 0    | 0    | 0    |
| Software | 0    | 0    | 1    |
| Timer    | 0    | 1    | 0    |
| External | 1    | 0    | 0    |

| Byte               | Bit9 |
|--------------------|------|
| A/D Data High Byte | 0    |
| A/D Data Low Byte  | 1    |

➤ 표 3-30. A/D Control 레지스터 구조

**A/D Software Trigger Register** - 사용자가 단 한번이나 제한된 횟수의 A/D 변환을 하고자 할 때 A/D Software Trigger Register 에 0h 를 쓸 때 마다 A/D 변환이 수행됩니다. 예를 들면 사용자는 자신의 응용 프로그램의 타이머 루틴 안에 A/D Software Trigger Register 를 쓴 후 다시 A/D Buffer Register 를 참조하면 자신이 원하는 시간예(Sampling Rate) 유효한 데이터를 획득할 수 있습니다.

**D/A Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/A Channel Register에 사용자가 원하는 값( 0-4095 )을 기록하면 아날로그 출력이 수행됩니다. 한가지 주의할 점은 11번 bit를 반전한 Data를 써야 합니다.

| Address | Bit 구조   |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----------|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11       | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    | D/A Data |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27       | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-31. D/A Output Channel 레지스터 구조

**Digital Output Register** - 사용자가 디지털 출력을 수행할 때 Digital Output Register에 Data를 쓰면 됩니다. Bit 번호와 디지털 출력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Output |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |

➤ 표 3-32. Digital Output 레지스터 구조



### 3. COMI-SD201 레지스터 구조 및 형식

◆ 레지스터 값을 읽을 때의 레지스터 구조

| No. | Address | Description                   | Bit    |
|-----|---------|-------------------------------|--------|
| 0   | CS0+0   | A/D Buffer Register           | 32Bits |
| 1   | CS0+4   | A/D Conversion Check Register | 32Bits |
| 2   | CS0+8   | A/D Gain Memory Trigger       | 32Bits |
| 3   | CS1+0   | A/D FIFO Register             | 32Bits |
| 4   | CS2+0   | Digital Input Register        | 32Bits |
| 5   | CS3+0   | Counter0 Low Word Register    | 32Bits |
| 6   | CS3+4   | Counter0 High Word Register   | 32Bits |
| 7   | CS3+8   | Counter1 Low Word Register    | 32Bits |
| 8   | CS3+12  | Counter1 High Word Register   | 32Bits |
| 9   | CS3+16  | Speed Checker0 Word Register  | 32Bits |
| 10  | CS3+20  | Speed Checker1 Word Register  | 32Bits |

➤ 표 3-33. COMI-SD201 레지스터 구조

**A/D Buffer Register** –그리고 Bit0 부터 15 까지 A/D 변환한 데이터가 들어 있습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | A/D Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-34. A/D Buffer 레지스터 구조

## Chapter8. 레지스터 구조

A/D Conversion Check Register - 사용자는 이 레지스터를 체크하여 A/D 변환 완료값을 얻을 수 있습니다. 만약 사용자가 읽은 데이터의 Bit0 가 1 이면 A/D 변환이 완료되었다는 것이고 0 이면 A/D 변환이 수행되는 중 입니다.

| Address | Bit 구조   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---------|----------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Bit     | 1        | 1 | 1 | 1 | 1 | 1 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | 5        | 4 | 3 | 2 | 1 | 0 |   |   |   |   |   |   |   |   |   |   |
|         | Not Used |   |   |   |   |   |   |   |   |   |   |   |   |   |   | C |
| Bit     | 3        | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 1 | 1 | 1 | 1 |   |
|         | 1        | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

➤ 표 3-35. A/D Conversion Check 레지스터 구조

A/D Gain Memory Trigger Register - 사용자는 이 레지스터를 Read 하여 Gain Memory 를 0h~fh 까지 Addressing 이 가능합니다.

A/D FIFO Register - Bit0 부터 15 까지 A/D 변환한 데이터가 들어 있습니다.

| Address | Bit 구조   |   |   |   |   |   |          |   |   |   |   |   |   |   |   |   |
|---------|----------|---|---|---|---|---|----------|---|---|---|---|---|---|---|---|---|
| Bit     | 1        | 1 | 1 | 1 | 1 | 1 | 9        | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | 5        | 4 | 3 | 2 | 1 | 0 |          |   |   |   |   |   |   |   |   |   |
|         | Not Used |   |   |   |   |   | A/D Data |   |   |   |   |   |   |   |   |   |
| Bit     | 3        | 3 | 2 | 2 | 2 | 2 | 2        | 2 | 2 | 2 | 2 | 1 | 1 | 1 | 1 |   |
|         | 1        | 0 | 9 | 8 | 7 | 6 | 5        | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used |   |   |   |   |   |          |   |   |   |   |   |   |   |   |   |

➤ 표 3-36. A/D FIFO 레지스터 구조

Digital Input Register - 사용자가 디지털 입력을 수행할 때 Digital Input Register 를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Input |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |

➤ 표 3-37. Digital Input 레지스터 구조

**Counter0 Low Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Count 값을 얻을 수 있습니다.

| Address | Bit 구조              |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|---------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                  | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Count Low Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                  | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used            |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-38. Counter0 Low Word 레지스터 구조

**Counter0 High Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Counter0 low data 와 더하여 Count 값을 얻을 수 있습니다.

| Address | Bit 구조               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Count High Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used             |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-39. Counter0 High Word 레지스터 구조

**Counter1 Low Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Count 값을 얻을 수 있습니다.

| Address | Bit 구조              |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|---------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                  | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Count Low Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                  | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used            |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-40. Counter1 Low Word 레지스터 구조

**Counter1 High Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Counter1 low data 와 더하여 Count 값을 얻을 수 있습니다.

| Address | Bit 구조               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Count High Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used             |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-41. Counter1 High Word 레지스터 구조

**Speed Checker0 Word Register** – 사용자가 Counter0 으로 입력되는 신호의 주파수를 얻고자 할 때 이 레지스터를 Read 하여 Count 값을 참조하면 됩니다.

| Address | Bit 구조                   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|--------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Speed Checker0 Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                 |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-42. Speed Checker0 Word 레지스터 구조

**Speed Checker1 Word Register** – 사용자가 Counter1으로 입력되는 신호의 주파수를 얻고자 할 때 이 레지스터를 Read 하여 Count 값을 참조하면 됩니다.

| Address | Bit 구조                   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|--------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Speed Checker1 Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                 |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-43. Speed Checker1 Word 레지스터 구조

## Chapter8. 레지스터 구조

### ◆ 레지스터에 값을 기록할 때의 레지스터 구조

| No. | Address | Description                         | Bit    |
|-----|---------|-------------------------------------|--------|
| 0   | CS0+0   | INT Clear Register                  | 32Bits |
| 1   | CS0+4   | A/D Range Memory Control Register   | 32Bits |
| 2   | CS0+8   | A/D Software Trigger Register       | 32Bits |
| 3   | CS0+12  | A/D Channel & Range Memory Register | 32Bits |
| 4   | CS0+16  | A/D Scan Channel Number Register    | 32Bits |
| 5   | CS0+20  | Interrupt Control Register          | 32Bits |
| 6   | CS0+24  | A/D Trigger Timer Control Register  | 32Bits |
| 7   | CS0+28  | A/D Trigger Control Register        | 32Bits |
| 8   | CS1+0   | D/A0 Output Register                | 32Bits |
| 9   | CS1+4   | D/A1 Output Register                | 32Bits |
| 10  | CS2+0   | Digital Output Register             | 32Bits |
| 11  | CS3+0   | Sampling Timer Register0            | 32Bits |
| 12  | CS3+4   | Sampling Timer Register1            | 32Bits |
| 13  | CS3+8   | Scan Timer Register0                | 32Bits |
| 14  | CS3+12  | Scan Timer Register1                | 32Bits |
| 15  | CS3+16  | Speed Checker Gate Control Register | 32Bits |
| 16  | CS3+24  | Counter0 Clear Register             | 32Bits |
| 17  | CS3+28  | Counter1 Clear Register             | 32Bits |

➤ 표 3-44. COM1-SD201 Writing 레지스터 구조

**Interrupt Clear Register** – 사용자가 Interrupt 를 사용하여 A/D 를 할 경우 Interrupt Service Routine 의 첫 부분에서 INT Clear Register 에 0h 를 써넣음으로써 가능합니다.

**A/D Range Memory Control Register** – A/D Memory Control 시 사용합니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |        |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0      |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    | R  | M<br>T |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16     |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |        |

➤ 표 3-45. A/D Range Memory Control 레지스터 구조

MT : A/D Range Memory 의 Trigger 를 선택할 수 있습니다.

0 : Software Trigger 선택

1 : A/D Complete Trigger 선택

R : A/D Range Memory Reset

Low 로 떨어뜨렸다 Memory Trigger 후 High 로 올리면 됩니다.

**A/D Software Trigger Register** – 사용자가 단 한번이나 제한된 횟수의 A/D 변환을 하고자 할 때 A/D Software Trigger Register 에 0h 를 쓸 때 마다 A/D 변환이 수행됩니다. 예를 들면 사용자는 자신의 응용 프로그램의 타이머 루틴 안에 A/D Software Trigger Register 를 쓴 후 다시 A/D Buffer Register 를 참조하면 자신이 원하는 시간에(Sampling Rate) 유효한 데이터를 획득할 수 있습니다.

**A/D Channel & Range Register** – 사용자가 사용하려는 A/D 채널에 대한 입력 전압의 범위를 지정하는 레지스터입니다. 사용자는 반드시 A/D 변환을 시작하기 전에 이 레지스터를 이용하여 계측하려는 채널의 전압범위를 설정하셔야 합니다. 적절한 전압 범위설정은 Resolution 향상에 직접적인

## Chapter8. 레지스터 구조

영향을 줄 수 있습니다. 사용자는 이 레지스터를 기록하기 전에 반드시 입력 전압을 확인 해야 됩니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |       |    |    |    |         |    |    |    |
|---------|----------|----|----|----|----|----|----|----|-------|----|----|----|---------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7     | 6  | 5  | 4  | 3       | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Range |    |    |    | Channel |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23    | 22 | 21 | 20 | 19      | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |       |    |    |    |         |    |    |    |

➤ 표 3-46. A/D Range 레지스터 구조

| Channel | Bit3 | Bit2 | Bit1 | Bit0 |
|---------|------|------|------|------|
| 0       | 0    | 0    | 0    | 0    |
| 1       | 0    | 0    | 0    | 1    |
| 2       | 0    | 0    | 1    | 0    |
| -       | -    | -    | -    | -    |
| 13      | 1    | 1    | 0    | 1    |
| 14      | 1    | 1    | 1    | 0    |
| 15      | 1    | 1    | 1    | 1    |

| Volt Range | Bi6 | Bit5 | Bit4 |
|------------|-----|------|------|
| 0~10       | 0   | 0    | 0    |
| 0~5        | 0   | 0    | 1    |
| 0~2        | 0   | 1    | 0    |
| 0~1        | 0   | 1    | 1    |
| ±10        | 1   | 0    | 0    |
| ±5         | 1   | 0    | 1    |
| ±2         | 1   | 1    | 0    |
| ±1         | 1   | 1    | 1    |

**A/D Scan Channel Number Register** – A/D Scan 할 Channel 의 수를 정합니다. Scan 할 Channel 의 수에서 -1 을 한 값을 써야 합니다.

**Interrupt Control Register** – Interrupt Request Source Signal 을 선택합니다.



| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    | IC |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-47. Interrupt Control 레지스터 구조

| Request Source Signal | Bit1 | Bit0 |
|-----------------------|------|------|
| A/D Done Signal       | 0    | 0    |
| 1 Scan                | 0    | 1    |
| FIFO Half Full        | 1    | 0    |
| NO Signal             | 1    | 1    |

**A/D Trigger Timer Control Register** – A/D Trigger Timer Control Register 입니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |       |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|-------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3     | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    | Timer |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19    | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |       |    |    |    |

➤ 표 3-48. A/D Trigger Timer Control 레지스터 구조

Bit0 : 1로 하면 1channel 만 Scan 합니다. 0 이면 여러 Channel Scan.

Bit1 : High로 올렸다 Low로 떨어뜨리면 Timer Data가 Clear 됩니다.

Bit2 : High로 올렸다 Low로 떨어뜨리면 Timer Data가 Load 됩니다.

Bit3 : 1이면 Base Clock Enable 0이면 Base Clock Disable.

**A/D Trigger Control Register** – A/D Trigger Source Signal 을 선택합니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |     |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|-----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    | TRG |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |     |    |    |    |

➤ 표 3-49. A/D Trigger Control 레지스터 구조

| Trigger  | Bit2 | Bit1 | Bit0 |
|----------|------|------|------|
| Disable  | 0    | 0    | 0    |
| Software | 0    | 0    | 1    |
| Timer    | 0    | 1    | 0    |
| External | 1    | 0    | 0    |

**Digital Output Register** – 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털 출력 핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Output |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |

➤ 표 3-50. Digital Output 레지스터 구조

**Sampling Timer0 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Sampling Time 을 결정하는 Register 입니다. Base Clock 을 분주하게 됩니다.

| Address | Bit 구조                   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|--------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Sampling Timer0 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                 |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-51. Sampling Timer0 레지스터 구조

**Sampling Timer1 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Sampling Time 을 결정하는 Register 입니다. Sampling Timer0 레지스터 와 함께 Base Clock 을 분주한 출력이 Sampling Time 을 결정합니다.

| Address | Bit 구조                   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|--------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Sampling Timer1 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                 |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-52. Sampling Timer1 레지스터 구조

**Scan Timer0 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Scan Time 을 결정하는 Register 입니다. Base Clock 을 분주하게 됩니다.

## Chapter8. 레지스터 구조

| Address | Bit 구조               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Scan Timer0 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used             |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-53. Scan Timer0 레지스터 구조

**Scan Timer1 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Scan Time 을 결정하는 Register 입니다. Base Clock 을 분주한 출력이 Scan Time 를 결정합니다.

| Address | Bit 구조               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Scan Timer1 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used             |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-54. Scan Timer1 레지스터 구조

**Speed Checker Gate Control Register** – 사용자가 Speed Checker 을 이용해서 Counter 로 입력되는 Pulse Signal 의 주파수를 계측할 때 Speed Checker 의 Gate 를 결정합니다.

| Address | Bit 구조   |   |   |   |   |   |   |   |   |   |   |   |      |   |   |   |
|---------|----------|---|---|---|---|---|---|---|---|---|---|---|------|---|---|---|
| Bit     | 1        | 1 | 1 | 1 | 1 | 1 | 9 | 8 | 7 | 6 | 5 | 4 | 3    | 2 | 1 | 0 |
|         | 5        | 4 | 3 | 2 | 1 | 0 |   |   |   |   |   |   |      |   |   |   |
|         | Not Used |   |   |   |   |   |   |   |   |   |   |   | Gate |   |   |   |
| Bit     | 3        | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 1    | 1 | 1 | 1 |
|         | 1        | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9    | 8 | 7 | 6 |
|         | Not Used |   |   |   |   |   |   |   |   |   |   |   |      |   |   |   |

➤ 표 3-55. Scan Timer1 레지스터 구조

| Gate                       | Bit1 | Bit0 |
|----------------------------|------|------|
| Checker0 Gate 5.461 msec   | 0    | 0    |
| Checker0 Gate 21.845 msec  | 0    | 1    |
| Checker0 Gate 87.381 msec  | 1    | 0    |
| Checker0 Gate 349.525 msec | 1    | 1    |

| Gate                       | Bit3 | Bit2 |
|----------------------------|------|------|
| Checker1 Gate 5.461 msec   | 0    | 0    |
| Checker1 Gate 21.845 msec  | 0    | 1    |
| Checker1 Gate 87.381 msec  | 1    | 0    |
| Checker1 Gate 349.525 msec | 1    | 1    |

**Counter0 Clear Register** – 사용자가 Counter0 를 수행할 때 Counter0 를 Software Clear 하는 Register 입니다. 한번 Write 하면 됩니다.

**Counter1 Clear Register** – 사용자가 Counter1 를 수행할 때 Counter1 를 Software Clear 하는 Register 입니다. 한번 Write 하면 됩니다.

#### 4. COMI-SD203 레지스터 구조 및 형식

◆ 레지스터 값을 읽을 때의 레지스터 구조

| No. | Address | Description                   | Bit    |
|-----|---------|-------------------------------|--------|
| 0   | CS0+0   | A/D Buffer Register           | 16Bits |
| 1   | CS0+4   | A/D Conversion Check Register | 1Bits  |
| 2   | CS0+8   | A/D Gain Memory Trigger       | 0Bits  |
| 3   | CS1+0   | A/D FIFO Register             | 16Bits |
| 4   | CS2+0   | Digital Input Register        | 16Bits |

➤ 표 3-56. COMI-SD203 레지스터 구조

**A/D Buffer Register** -그리고 Bit0 부터 15 까지 A/D 변환한 데이터가 들어 있습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | A/D Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-57. A/D Buffer 레지스터 구조

**A/D Conversion Check Register** - 사용자는 이 레지스터를 체크하여 A/D 변환 완료값을 얻을 수 있습니다. 만약 사용자가 읽은 데이터의 Bit0 가 1 이면 A/D 변환이 완료되었다는 것이고 0 이면 A/D 변환이 수행되는 중 입니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    | C  |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-58. A/D Conversion Check 레지스터 구조

**A/D Gain Memory Trigger Register** - 사용자는 이 레지스터를 Read 하여 Gain Memory를 0h~1fh 까지 Addressing이 가능합니다.

**A/D FIFO Register** - Bit0 부터 15 까지 A/D 변환한 데이터가 들어 있습니다.

| Address | Bit 구조   |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----------|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11       | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    | A/D Data |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27       | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-59. A/D FIFO 레지스터 구조

**Digital Input Register** - 사용자가 디지털 입력을 수행할 때 Digital Input Register를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀 번호는 같습니다.

## Chapter8. 레지스터 구조

| Address | Bit 구조        |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|---------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15            | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Digital Input |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31            | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-60. Digital Input 레지스터 구조

### ◆ 레지스터에 값을 기록할 때의 레지스터 구조

| No. | Address | Description                         | Bit    |
|-----|---------|-------------------------------------|--------|
| 0   | CS0+0   | INT Clear Register                  | 0Bits  |
| 1   | CS0+4   | A/D Range Memory Control Register   | 2Bits  |
| 2   | CS0+8   | A/D Software Trigger Register       | 0Bits  |
| 3   | CS0+12  | A/D Channel & Range Memory Register | 9Bits  |
| 4   | CS0+16  | A/D Scan Channel Number Register    | 5Bits  |
| 5   | CS0+20  | Interrupt Control Register          | 2Bits  |
| 6   | CS0+24  | A/D Trigger Timer Control Register  | 4Bits  |
| 7   | CS0+28  | A/D Trigger Control Register        | 3Bits  |
| 8   | CS2+0   | Digital Output Register             | 32Bits |
| 9   | CS3+0   | Sampling Timer Register0            | 32Bits |
| 10  | CS3+4   | Sampling Timer Register1            | 32Bits |
| 11  | CS3+8   | Scan Timer Register0                | 32Bits |
| 12  | CS3+12  | Scan Timer Register1                | 32Bits |

➤ 표 3-61. COM1-SD203 Writing 레지스터 구조

**Interrupt Clear Register** – 사용자가 Interrupt 를 사용하여 A/D 를 할 경우 Interrupt Service Routine 의 첫 부분에서 INT Clear Register 에 0h 를 써넣음으로써 가능합니다.



**A/D Range Memory Control Register** – A/D Memory Control 시 사용합니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |        |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|--------|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0      |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    | R  | M<br>T |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16     |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |        |

➤ 표 3-62. A/D Range Memory Control 레지스터 구조

MT : A/D Range Memory 의 Trigger 를 선택할 수 있습니다.

0 : Software Trigger 선택

1 : A/D Complete Trigger 선택

R : A/D Range Memory Reset

Low 로 떨어뜨렸다 Memory Trigger 후 High 로 올리면 됩니다.

**A/D Software Trigger Register** – 사용자가 단 한번이나 제한된 횟수의 A/D 변환을 하고자 할 때 A/D Software Trigger Register 에 0h 를 쓸 때 마다 A/D 변환이 수행됩니다. 예를 들면 사용자는 자신의 응용 프로그램의 타이머 루틴 안에 A/D Software Trigger Register 를 쓴 후 다시 A/D Buffer Register 를 참조하면 자신이 원하는 시간에(Sampling Rate) 유효한 데이터를 획득할 수 있습니다.

**A/D Channel & Range Register** – 사용자가 사용하려는 A/D 채널에 대한 입력 전압의 범위를 지정하는 레지스터입니다. 사용자는 반드시 A/D 변환을 시작하기 전에 이 레지스터를 이용하여 계측하려는 채널의 전압범위를 설정하셔야 합니다. 적절한 전압 범위설정은 Resolution 향상에 직접적인

## Chapter8. 레지스터 구조

영향을 줄 수 있습니다. 사용자는 이 레지스터를 기록하기 전에 반드시 입력 전압을 확인 해야 됩니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |       |    |         |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|-------|----|---------|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6     | 5  | 4       | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    | Range |    | Channel |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22    | 21 | 20      | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |       |    |         |    |    |    |    |

➤ 표 3-63. A/D Range 레지스터 구조

| Channel | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 |
|---------|------|------|------|------|------|
| 0       | 0    | 0    | 0    | 0    | 0    |
| 1       | 0    | 0    | 0    | 0    | 1    |
| 2       | 0    | 0    | 0    | 1    | 0    |
| -       | -    | -    | -    | -    | -    |
| 29      | 1    | 1    | 1    | 0    | 1    |
| 30      | 1    | 1    | 1    | 1    | 0    |
| 31      | 1    | 1    | 1    | 1    | 1    |

| Volt Range | Bit6 | Bit5 |
|------------|------|------|
| ± 10       | 0    | 0    |
| ± 5        | 0    | 1    |
| ± 2.5      | 1    | 0    |
| ± 1.25     | 1    | 1    |

**A/D Scan Channel Number Register** – A/D Scan 할 Channel 의 수를 정합니다. Scan 할 Channel 의 수에서 -1 을 한 값을 써야 합니다.

**Interrupt Control Register** – Interrupt Request Source Signal 을 선택합니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    | IC |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-64. Interrupt Control 레지스터 구조

| Request Source Signal | Bit1 | Bit0 |
|-----------------------|------|------|
| A/D Done Signal       | 0    | 0    |
| 1 Scan                | 0    | 1    |
| FIFO Half Full        | 1    | 0    |
| NO Signal             | 1    | 1    |

**A/D Trigger Timer Control Register** – A/D Trigger Timer Control Register 입니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |       |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|-------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3     | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    | Timer |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19    | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |       |    |    |    |

➤ 표 3-65 A/D Trigger Timer Control 레지스터 구조

Bit0 : 1로 하면 1channel 만 Scan 합니다. 0 이면 여러 Channel Scan.

Bit1 : High로 올렸다 Low로 떨어뜨리면 Timer Data가 Clear 됩니다.

Bit2 : High로 올렸다 Low로 떨어뜨리면 Timer Data가 Load 됩니다.

Bit3 : 1이면 Base Clock Enable 0이면 Base Clock Disable.

**A/D Trigger Control Register** – A/D Trigger Source Signal 을 선택합니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |     |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|-----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    | TRG |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |     |    |    |    |

➤ 표 3-66. A/D Trigger Control 레지스터 구조

| Trigger  | Bit2 | Bit1 | Bit0 |
|----------|------|------|------|
| Disable  | 0    | 0    | 0    |
| Software | 0    | 0    | 1    |
| Timer    | 0    | 1    | 0    |
| External | 1    | 0    | 0    |

**Digital Output Register** – 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털 출력핀 번호는 같습니다.

| Address | Bit 구조         |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15             | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Digital Output |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31             | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used       |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-67. Digital Output 레지스터 구조

**Sampling Timer0 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Sampling Time 을 결정하는 Register 입니다. Base Clock 을 분주하게 됩니다.

| Address | Bit 구조                   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|--------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Sampling Timer0 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                 |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-68. Sampling Timer0 레지스터 구조

**Sampling Timer1 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Sampling Time 을 결정하는 Register 입니다. Sampling Timer0 레지스터 와 함께 Base Clock 을 분주한 출력이 Sampling Time 을 결정합니다.

| Address | Bit 구조                   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|--------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Sampling Timer1 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                 |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-69. Sampling Timer1 레지스터 구조

**Scan Timer0 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Scan Time 을 결정하는 Register 입니다. Base Clock 을 분주하게 됩니다.

## Chapter8. 레지스터 구조

| Address | Bit 구조               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Scan Timer0 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used             |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-70. Scan Timer0 레지스터 구조

**Scan Timer1 Register** – 사용자가 Timer 를 이용해서 A/D Trigger 를 수행할 때 Scan Time 을 결정하는 Register 입니다. Base Clock 을 분주한 출력이 Scan Time 을 결정합니다.

| Address | Bit 구조               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Scan Timer1 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used             |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-71. Scan Timer1 레지스터 구조

## 5. COMI-CP201 레지스터 구조 및 형식

### ◆ 레지스터 값을 읽을 때의 레지스터 구조

| No. | Address | Description                   | Bit    |
|-----|---------|-------------------------------|--------|
| 0   | CS0+0   | A/D Buffer Register           | 32Bits |
| 1   | CS0+4   | A/D Conversion Check Register | 32Bits |
| 2   | CS2+0   | Digital Input Register        | 32Bits |
| 3   | CS3+0   | 82C54 Count0 Register         | 32Bits |
| 4   | CS3+4   | 82C54 Count1 Register         | 32Bits |
| 5   | CS3+8   | 82C54 Count2 Register         | 32Bits |
| 6   | CS3+12  | 82C54 Control Register        | 32Bits |

➤ 표 3-72. COMI-CP201 레지스터 구조

**A/D Buffer Register** - 그리고 Bit0 부터 7 까지 A/D 변환한 데이터가 들어 있습니다. 사용자는 반드시 Bit Masking 을 이용하여 위의 해당 데이터를 참조해야 됩니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |          |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7        | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | A/D Data |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23       | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |          |    |    |    |    |    |    |    |

➤ 표 3-73. A/D Buffer 레지스터 구조

**A/D Conversion Check Register** - 사용자는 이 레지스터를 체크 하여 A/D 변환 완료 값을 얻을 수 있습니다. 만약 사용자가 읽은 데이터의 Bit0 가 1 이면 A/D 변환이 완료되었다는 것이고 0 이면 A/D 변환이 수행되는 중입니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    | C  |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-74. A/D Conversion Check 레지스터 구조

**Digital Input Register** - 사용자가 디지털 입력을 수행할 때 Digital Input Register 를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Input |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |

➤ 표 3-75. Digital Input 레지스터 구조

◆ 레지스터에 값을 기록할 때의 레지스터 구조

| No. | Address | Write                         | Bit    |
|-----|---------|-------------------------------|--------|
| 0   | CS0+0   | INT Clear Register            | 32Bits |
| 1   | CS0+4   | A/D Control Register          | 32Bits |
| 2   | CS0+8   | A/D Software Trigger Register | 32Bits |
| 3   | CS2+0   | Digital Output Register       | 32Bits |
| 4   | CS3+0   | 82C54 Count0 Register         | 32Bits |
| 5   | CS3+4   | 82C54 Count1 Register         | 32Bits |
| 6   | CS3+8   | 82C54 Count2 Register         | 32Bits |
| 7   | CS3+12  | 82C54 Control Register        | 32Bits |

➤ 표 3-76. COM1-CP201 Writing 레지스터 구조



**Interrupt Clear Register** - 사용자가 Interrupt 를 사용하여 A/D 를 할 경우 Interrupt Service Routine 의 첫 부분에서 INT Clear Register 에 0h 를 써넣음으로써 가능합니다.

**A/D Control Register** - 사용자가 사용하려는 A/D 채널에 대한 입력 전압의 범위를 지정하는 레지스터입니다. 사용자는 반드시 A/D 변환을 시작하기 전에 이 레지스터를 이용하여 계측하려는 채널의 전압범위를 설정하여야 합니다. 적절한 전압 범위설정은 Resolution 향상에 직접적인 영향을 줄 수 있습니다. 사용자는 이 레지스터를 기록하기 전에 반드시 입력 전압을 확인 해야 됩니다.

| Address | Bit 구조   |    |    |    |    |    |    |         |    |    |      |    |         |    |    |    |
|---------|----------|----|----|----|----|----|----|---------|----|----|------|----|---------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8       | 7  | 6  | 5    | 4  | 3       | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    | B  | Trigger |    |    | Gain |    | Channel |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24      | 23 | 22 | 21   | 20 | 19      | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |         |    |    |      |    |         |    |    |    |

| Channel | Bit3 | Bit2 | Bit1 | Bit0 |
|---------|------|------|------|------|
| 0       | 0    | 0    | 0    | 0    |
| 1       | 0    | 0    | 0    | 1    |
| 2       | 0    | 0    | 1    | 0    |
| -       | -    | -    | -    | -    |
| 13      | 1    | 1    | 0    | 1    |
| 14      | 1    | 1    | 1    | 0    |
| 15      | 1    | 1    | 1    | 1    |

| Volt Range | Bit5 | Bit4 |
|------------|------|------|
| $\pm 10$   | 0    | 0    |
| $\pm 5$    | 0    | 1    |
| $\pm 2$    | 1    | 0    |
| $\pm 1$    | 1    | 1    |

| Trigger  | Bit8 | Bit7 | Bit6 |
|----------|------|------|------|
| Disable  | 0    | 0    | 0    |
| Software | 0    | 0    | 1    |
| Timer    | 0    | 1    | 0    |
| External | 1    | 0    | 0    |

| Byte               | Bit9 |
|--------------------|------|
| A/D Data High Byte | 0    |
| A/D Data Low Byte  | 1    |

➤ 표 3-77. A/D Control 레지스터 구조

**A/D Software Trigger Register** - 사용자가 단 한번이나 제한된 횟수의 A/D 변환을 하고자 할 때 A/D Software Trigger Register 에 0h 를 쓸 때 마다 A/D 변환이 수행됩니다. 예를 들면 사용자는 자신의 응용 프로그램의 타이머 루틴 안에 A/D Software Trigger Register 를 쓴 후 다시 A/D Buffer Register 를 참조하면 자신이 원하는 시간에(Sampling Rate) 유효한 데이터를 획득할 수 있습니다.

**Digital Output Register** - 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털 출력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Output |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |

➤ 표 3-78. Digital Output 레지스터 구조

## 6. COMI-SD301 레지스터 구조 및 형식

### ◆ 레지스터 값을 읽을 때의 레지스터 구조

| No. | Address | Description                      | Bit    |
|-----|---------|----------------------------------|--------|
| 0   | CS1+0   | D/A 0 Load Register              | 0Bit   |
| 1   | CS1+4   | D/A 1 Load Register              | 0Bit   |
| 2   | CS1+8   | D/A 2 Load Register              | 0Bit   |
| 3   | CS1+12  | D/A 3 Load Register              | 0Bit   |
| 4   | CS1+16  | D/A 4 Load Register              | 0Bit   |
| 5   | CS1+20  | D/A 5 Load Register              | 0Bit   |
| 6   | CS1+24  | D/A 6 Load Register              | 0Bit   |
| 7   | CS1+28  | D/A 7 Load Register              | 0Bit   |
| 8   | CS1+32  | D/A 0 Write Register             | 0Bit   |
| 9   | CS1+36  | D/A 1 Write Register             | 0Bit   |
| 10  | CS1+48  | D/A 0 Software Trigger Register  | 0Bit   |
| 11  | CS1+52  | D/A 1 Software Trigger Register  | 0Bit   |
| 12  | CS2+0   | Digital Input Low Byte Register  | 8Bits  |
| 13  | CS2+1   | Digital Input High Byte Register | 8Bits  |
| 14  | CS3+0   | Counter0 Low Word Register       | 16Bits |
| 15  | CS3+4   | Counter0 High Word Register      | 16Bits |
| 16  | CS3+8   | Counter1 Low Word Register       | 16Bits |
| 17  | CS3+12  | Counter1 High Word Register      | 16Bits |

➤ 표 3-89. COMI-SD301 레지스터 구조

**D/A Load Register** – 이 레지스터를 한번 Read 하면 D/A Data 가 Load 되고 D/A 가 출력됩니다.

**D/A0, 1 Write Register** – 먼저 D/A Data 를 Write 한 후 이 레지스터를 한번 Read 하면 D/A Data 가 D/A Chip 내부로 Write 됩니다. D/A 0,1 번 Channel 은 Generation 기능이 있습니다.

**D/A0, 1 Software Trigger Register** – D/A0, 1 은 Generation 기능을

## Chapter8. 레지스터 구조

수행하기 위해 SRAM(fffH)을 갖고 있습니다. 이 메모리에 D/A Data 를 Write 하기 전에 Addressing 을 해야 합니다. 이 레지스터를 한번 Read 하면 D/A 메모리의 주소는 하나씩 증가하게 됩니다. (먼저 Clear 해서 000H 로 만듭니다)

**Digital Input Low Byte Register** – 사용자가 디지털 입력을 수행할 때 Digital Input Register 를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀(0-7CH) 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Input |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |

➤ 표 3-80. Digital Input Low Byte 레지스터 구조

**Digital Input High Byte Register** – 사용자가 디지털 입력을 수행할 때 Digital Input Register 를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀(8-15CH) 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Input |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |

➤ 표 3-81. Digital Input High Byte 레지스터 구조

**Counter0 Low Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Count 값을 얻을 수 있습니다.

| Address | Bit 구조              |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|---------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                  | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Count Low Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                  | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used            |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-82. Counter0 Low Word 레지스터 구조

**Counter0 High Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Counter0 low data 와 더하여 32bit Count 값을 얻을 수 있습니다.

| Address | Bit 구조               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Count High Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used             |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-83. Counter0 High Word 레지스터 구조

**Counter1 Low Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Count 값을 얻을 수 있습니다.

## Chapter8. 레지스터 구조

| Address | Bit 구조              |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|---------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                  | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Count Low Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                  | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used            |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-84. Counter1 Low Word 레지스터 구조

**Counter1 High Word Register** – 사용자가 Count 를 수행할 때 이 레지스터를 Read 하여 Counter1 low data 와 더하여 32bit Count 값을 얻을 수 있습니다.

| Address | Bit 구조               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Count High Word Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used             |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-85. Counter1 High Word 레지스터 구조

## ◆ 레지스터에 값을 기록할 때의 레지스터 구조

| No. | Address | Description                       | Bit    |
|-----|---------|-----------------------------------|--------|
| 0   | CS1+0   | D/A 0 Data Register               | 16Bits |
| 1   | CS1+4   | D/A 1 Data Register               | 16Bits |
| 2   | CS1+8   | D/A 2 Data Write Register         | 16Bits |
| 3   | CS1+12  | D/A 3 Data Write Register         | 16Bits |
| 4   | CS1+16  | D/A 4 Data Write Register         | 16Bits |
| 5   | CS1+20  | D/A 5 Data Write Register         | 16Bits |
| 6   | CS1+24  | D/A 6 Data Write Register         | 16Bits |
| 7   | CS1+28  | D/A 7 Data Write Register         | 16Bits |
| 8   | CS1+32  | D/A Range Register                | 8Bits  |
| 9   | CS1+40  | D/A0,1 Generation Register        | 8Bits  |
| 10  | CS1+44  | D/A0,1,2,3 Calibration Register   | 16Bits |
| 11  | CS1+48  | D/A4,5,6,7 Calibration Register   | 16Bits |
| 12  | CS2+0   | Digital Output Low Byte Register  | 8Bits  |
| 13  | CS2+4   | Digital Output High Byte Register | 8Bits  |
| 14  | CS2+8   | DI/O Control Register             | 2Bits  |
| 15  | CS3+0   | D/A0 Setting Timer0 Register      | 16Bits |
| 16  | CS3+4   | D/A0 Setting Timer1 Register      | 16Bits |
| 17  | CS3+8   | D/A1 Setting Timer0 Register      | 16Bits |
| 18  | CS3+12  | D/A1 Setting Timer1 Register      | 16Bits |
| 19  | CS3+16  | D/A Timer Control Register        | 8Bits  |
| 20  | CS3+24  | Counter0 Clear Register           | 0Bit   |
| 21  | CS3+28  | Counter1 Clear Register           | 0Bit   |

➤ 표 3-86. COM1-SD101 Writing 레지스터 구조

**D/A 0, 1 Data Register** – D/A0, 1 Data(16bit)를 Write 합니다. D/A0, 1 Write Register 를 한번 Read 하면 D/A Data 가 D/A Chip 내부로 Write 됩니다. D/A0, 1 Load Register 를 한번 Read 하면 D/A Voltage 가 출력됩니다.

**D/A2,3,4,5,6,7 Data Write Register** – D/A2,3,4,5,6,7 Data(16bit)를 Write 합니다. D/A2,3,4,5,6,7 Load Register 를 한번 Read 하면 D/A

## Chapter8. 레지스터 구조

Voltage 가 출력됩니다.

**D/A Range Register** – D/A 의 출력 Range 를 결정합니다. 각 bit 는 각 D/A Channel 과 대응됩니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Range Control |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |

➤ 표 3-87. A/D Range 레지스터 구조

Data 0 : -10V ~ +10V

Data 1 : -5V ~ +5V

**D/A0,1 Generation Register** – D/A Generation 기능을 제어합니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |        |    |    |    |        |    |    |    |
|---------|----------|----|----|----|----|----|----|----|--------|----|----|----|--------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7      | 6  | 5  | 4  | 3      | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | D/A1CH |    |    |    | D/A0CH |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23     | 22 | 21 | 20 | 19     | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |        |    |    |    |        |    |    |    |

➤ 표 3-88. A/D Control 레지스터 구조

0, 4bit : D/A Memory Write – Low 로 떨어뜨렸다 High 로 올리면 됩니다. 이때 1,5bit 는 0 이어야 합니다.

1, 5bit : 0 이면 D/A Memory 에 Data 를 쓸 때 1 이면 D/A Memory 의 Data 가 D/A 출력을 내보냅니다. 이때 0,4bit 는 1 이어



아 합니다.

2, 6bit : D/A Memory 의 Address 를(000H) 초기화 합니다.Low 로 떨어뜨렸다 D/A Memory Trigger Register 를 한번 Read 후 High 로 올리면 됩니다.D/A Memory Trigger Register 를 Read 할 때마다 Address 는 하나씩 증가합니다. Address Size 는 FFFH 까지 입니다.

3, 7bit : 사용하지 않습니다.

**D/A0,1,2,3 Calibration Register** - Software 로 D/A 를 정밀하게 Calibration 을 할 수 있습니다.

| Address | Bit 구조   |    |    |    |       |    |    |    |       |    |    |    |       |    |    |    |
|---------|----------|----|----|----|-------|----|----|----|-------|----|----|----|-------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11    | 10 | 9  | 8  | 7     | 6  | 5  | 4  | 3     | 2  | 1  | 0  |
|         | D-VR3    |    |    |    | D-VR2 |    |    |    | D-VR1 |    |    |    | D-VR0 |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27    | 26 | 25 | 24 | 23    | 22 | 21 | 20 | 19    | 18 | 17 | 16 |
|         | Not Used |    |    |    |       |    |    |    |       |    |    |    |       |    |    |    |

➤ 표 3-89. Calibration 레지스터 구조

D-VR0 : 0CH - D/A0 Offset 을 조절할 수 있습니다.

1CH - D/A0 Gain 을 조절할 수 있습니다.

D-VR1 : 0CH - D/A1 Offset 을 조절할 수 있습니다.

1CH - D/A1 Gain 을 조절할 수 있습니다.

D-VR2 : 0CH - D/A2 Offset 을 조절할 수 있습니다.

1CH - D/A2 Gain 을 조절할 수 있습니다.

D-VR3 : 0CH - D/A3 Offset 을 조절할 수 있습니다.

1CH - D/A3 Gain 을 조절할 수 있습니다.

0, 4, 8, 12Bit : Data Bit 입니다

1, 5, 9, 13Bit : Clock Bit 입니다

## Chapter8. 레지스터 구조

2, 6, 10, 14Bit : Chip Select Bit 입니다

3, 7, 11, 15Bit : 사용하지 않습니다.

**D/A4,5,6,7 Calibration Register** - Software 로 D/A 를 정밀하게 Calibration 을 할 수 있습니다.

| Address | Bit 구조   |    |    |    |       |    |    |    |       |    |    |    |       |    |    |    |
|---------|----------|----|----|----|-------|----|----|----|-------|----|----|----|-------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11    | 10 | 9  | 8  | 7     | 6  | 5  | 4  | 3     | 2  | 1  | 0  |
|         | D-VR7    |    |    |    | D-VR6 |    |    |    | D-VR5 |    |    |    | D-VR4 |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27    | 26 | 25 | 24 | 23    | 22 | 21 | 20 | 19    | 18 | 17 | 16 |
|         | Not Used |    |    |    |       |    |    |    |       |    |    |    |       |    |    |    |

➤ 표 3-90. Calibration 레지스터 구조

D-VR0 : 0CH - D/A4 Offset 을 조절할 수 있습니다.

1CH - D/A4 Gain 을 조절할 수 있습니다.

D-VR1 : 0CH - D/A5 Offset 을 조절할 수 있습니다.

1CH - D/A5 Gain 을 조절할 수 있습니다.

D-VR2 : 0CH - D/A6 Offset 을 조절할 수 있습니다.

1CH - D/A6 Gain 을 조절할 수 있습니다.

D-VR3 : 0CH - D/A7 Offset 을 조절할 수 있습니다.

1CH - D/A7 Gain 을 조절할 수 있습니다.

0, 4, 8, 12Bit : Data Bit 입니다

1, 5, 9, 13Bit : Clock Bit 입니다

2, 6, 10, 14Bit : Chip Select Bit 입니다

3, 7, 11, 15Bit : 사용하지 않습니다.

**Digital Output Low Byte Register** - 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털

출력핀(DI00~7CH) 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Output |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |

➤ 표 3-91. Digital Output Low Byte 레지스터 구조

**Digital Output High Byte Register** - 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털 출력핀(DI08~15CH) 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Output |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |

➤ 표 3-92. Digital Output High Byte 레지스터 구조

**DI/O Control Register** - 사용자가 디지털 입출력을 수행할 때 입력 16CH or 출력 16CH or 각각 8CH 씩 선택할 수 있습니다.

| DI/O          | Bit1 | Bit0 |
|---------------|------|------|
| DI 16CH       | 0    | 0    |
| DI0~7 DO8~15  | 0    | 1    |
| D00~7 DI18~15 | 1    | 0    |
| DO 16CH       | 1    | 1    |

**D/A0 Setting Timer0 Register** – 사용자가 Timer 를 이용해서 D/A Generation 수행할 때 Setting Time 을 결정하는 Register 입니다. Base Clock 을 분주하게 됩니다.

| Address | Bit 구조                       |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A0 Setting Timer0 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                     |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-93. D/A0 Setting Timer0 레지스터 구조

**D/A0 Setting Timer1 Register** – 사용자가 Timer 를 이용해서 D/A Generation 수행할 때 Setting Time 을 결정하는 Register 입니다. Base Clock(5MHz)을 Setting Timer0 과 함께 32bit 로 분주하게 됩니다.

| Address | Bit 구조                       |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A0 Setting Timer1 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                     |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-94. D/A0 Setting Timer1 레지스터 구조

**D/A1 Setting Timer0 Register** – 사용자가 Timer 를 이용해서 D/A Generation 수행할 때 Setting Time 을 결정하는 Register 입니다. Base Clock 을 분주하게 됩니다.

| Address | Bit 구조                       |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A1 Setting Timer0 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                     |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-95. D/A1 Setting Timer0 레지스터 구조

**D/A1 Setting Timer1 Register** - 사용자가 Timer 를 이용해서 D/A Generation 수행할 때 Setting Time 을 결정하는 Register 입니다. Base Clock(5MHz)을 Setting Timer0 과 함께 32bit 로 분주하게 됩니다.

| Address | Bit 구조                       |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A1 Setting Timer1 Register |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used                     |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-96. D/A1 Setting Timer1 레지스터 구조

**D/A Timer Control Register** - D/A Generation Timer Control Register 입니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |            |    |    |    |            |    |    |    |
|---------|----------|----|----|----|----|----|----|----|------------|----|----|----|------------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7          | 6  | 5  | 4  | 3          | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | D/A1 Timer |    |    |    | D/A0 Timer |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23         | 22 | 21 | 20 | 19         | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |            |    |    |    |            |    |    |    |

➤ 표 3-97. D/A Timer Control 레지스터 구조

## Chapter8. 레지스터 구조

---

Bit0, 4 : High 로 올렸다 Low 로 떨어뜨리면 Timer 가 Clear 됩니다.

Bit1, 5 : High 로 올렸다 Low 로 떨어뜨리면 Timer Data 가 Load 됩니다.

Bit2, 6 : 1 이면 Timer Enable 0 이면 Timer Disable

Bit3, 7 : 1 이면 D/A Memory Address Clock 이 D/A Timer 에 의해서 0  
이면 D/A Memory Address Clock 이 D/A Memory Trigger  
Register 에 의해서 Address 를 하나씩 증가시킵니다.

**Counter0 Clear Register** - 사용자는 이 레지스터를 읽어 Counter0 을  
초기화 할 수 있습니다.

**Counter1 Clear Register** - 사용자는 이 레지스터를 읽어 Counter1 을  
초기화 할 수 있습니다.

## 7. COMI-CP301 레지스터 구조 및 형식

### ◆ 레지스터 값을 읽을 때의 레지스터 구조

| No. | Address | Description            | Bit    |
|-----|---------|------------------------|--------|
| 0   | CS2+0   | Digital Input Register | 32Bits |

➤ 표 3-98. COMI-CP301 레지스터 구조

**Digital Input Register** - 사용자가 디지털 입력을 수행할 때 Digital Input Register 를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Input |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |

➤ 표 3-99. Digital Input 레지스터 구조

◆ 레지스터에 값을 기록할 때의 레지스터 구조

| No. | Address | Description             | Bit    |
|-----|---------|-------------------------|--------|
| 0   | CS1+0   | D/A0 Output Register    | 32Bits |
| 1   | CS1+4   | D/A1 Output Register    | 32Bits |
| 2   | CS1+8   | D/A2 Output Register    | 32Bits |
| 3   | CS1+12  | D/A3 Output Register    | 32Bits |
| 4   | CS1+16  | D/A4 Output Register    | 32Bits |
| 5   | CS1+20  | D/A5 Output Register    | 32Bits |
| 6   | CS2+0   | Digital Output Register | 32Bits |

➤ 표 3-100. COMI-CP301 Writing 레지스터 구조

**D/A0 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/A0 Channel Register 에 사용자가 원하는 값( 0-4095 )을 기록하면 아날로그 출력이 수행됩니다. 한가지 주의할 점은 11번 bit 를 반전한 Data 를 써야 합니다.

| Address | Bit 구조   |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|-----------|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11        | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    | D/A0 Data |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27        | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-101. D/A0 Output Channel 레지스터 구조

**D/A1 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/A1 Channel Register 에 사용자가 원하는 값( 0-4095 )을 기록하면 아날로그 출력이 수행됩니다. 한가지 주의할 점은 11번 bit 를 반전한 Data 를 써야 합니다.



| Address | Bit 구조   |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|-----------|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11        | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    | D/A1 Data |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27        | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-102. D/A1 Output Channel 레지스터 구조

**D/A2 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/A2 Channel Register 에 사용자가 원하는 값( 0-4095 )을 기록하면 아날로그 출력이 수행됩니다. 한가지 주의할 점은 11 번 bit 를 반전한 Data 를 써야 합니다.

| Address | Bit 구조   |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|-----------|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11        | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    | D/A2 Data |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27        | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-103. D/A2 Output Channel 레지스터 구조

**D/A3 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/A3 Channel Register 에 사용자가 원하는 값( 0-4095 )을 기록하면 아날로그 출력이 수행됩니다. 한가지 주의할 점은 11 번 bit 를 반전한 Data 를 써야 합니다.

## Chapter8. 레지스터 구조

| Address | Bit 구조   |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|-----------|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11        | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    | D/A3 Data |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27        | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-104. D/A3 Output Channel 레지스터 구조

**D/A4 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/A4 Channel Register 에 사용자가 원하는 값( 0-4095 )을 기록하면 아날로그 출력이 수행됩니다. 한가지 주의할 점은 11 번 bit 를 반전한 Data 를 써야 합니다.

| Address | Bit 구조   |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|-----------|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11        | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    | D/A4 Data |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27        | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-105. D/A4 Output Channel 레지스터 구조

**D /A5 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/A5 Channel Register 에 사용자가 원하는 값( 0-4095 )을 기록하면 아날로그 출력이 수행됩니다. 한가지 주의할 점은 11 번 bit 를 반전한 Data 를 써야 합니다.

| Address | Bit 구조   |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------|----|----|----|-----------|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11        | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    | D/A5 Data |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27        | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |           |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-106. D/A5 Output Channel 레지스터 구조

**Digital Output Register** - 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털 출력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----------------|----|----|----|----|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    | Digital Output |    |    |    |    |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |                |    |    |    |    |    |    |    |

➤ 표 3-107. Digital Output 레지스터 구조

## 8. COMI-CP302 레지스터 구조 및 형식

### ◆ 레지스터 값을 읽을 때의 레지스터 구조

| No. | Address | Description            | Bit    |
|-----|---------|------------------------|--------|
| 0   | CS1+0   | Digital Input Register | 32Bits |

➤ 표 3-108. COMI-CP301 레지스터 구조

**Digital Input Register** - 사용자가 디지털 입력을 수행할 때 Digital Input Register 를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |               |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|---------------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3             | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    | Digital Input |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19            | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |               |    |    |    |

➤ 표 3-109. Digital Input 레지스터 구조

## ◆ 레지스터에 값을 기록할 때의 레지스터 구조

| No. | Address | Description             | Bit    |
|-----|---------|-------------------------|--------|
| 0   | CS1+0   | Digital Output Register | 32Bits |
| 1   | CS2+0   | D/A0 Output Register    | 32Bits |
| 2   | CS2+4   | D/A1 Output Register    | 32Bits |
| 3   | CS2+8   | D/A2 Output Register    | 32Bits |
| 4   | CS2+12  | D/A3 Output Register    | 32Bits |
| 5   | CS2+16  | D/A4 Output Register    | 32Bits |
| 6   | CS2+20  | D/A5 Output Register    | 32Bits |
| 7   | CS2+24  | D/A6 Output Register    | 32Bits |
| 8   | CS2+28  | D/A7 Output Register    | 32Bits |

➤ 표 3-110. COM1-CP302 Writing 레지스터 구조

**Digital Output Register** - 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털 출력핀 번호는 같습니다.

| Address | Bit 구조   |    |    |    |    |    |    |    |    |    |    |    |                |    |    |    |
|---------|----------|----|----|----|----|----|----|----|----|----|----|----|----------------|----|----|----|
| Bit     | 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3              | 2  | 1  | 0  |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    | Digital Output |    |    |    |
| Bit     | 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19             | 18 | 17 | 16 |
|         | Not Used |    |    |    |    |    |    |    |    |    |    |    |                |    |    |    |

➤ 표 3-111. Digital Output 레지스터 구조

**D/A0 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/An Channel Register 에 사용자가 원하는 값( -32768 ~ 32767 )을 기록하면 원하는 아날로그 출력이 수행됩니다.

## Chapter8. 레지스터 구조

| Address | Bit 구조    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---------|-----------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Bit     | 1         | 1 | 1 | 1 | 1 | 1 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | 5         | 4 | 3 | 2 | 1 | 0 |   |   |   |   |   |   |   |   |   |   |
|         | D/A0 Data |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| Bit     | 3         | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 1 | 1 | 1 | 1 |
|         | 1         | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used  |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

➤ 표 3-112. D/A0 Output Channel 레지스터 구조

**D/A1 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/An Channel Register 에 사용자가 원하는 값( -32768 ~ 32767 )을 기록하면 원하는 아날로그 출력이 수행됩니다.

| Address | Bit 구조    |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---------|-----------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Bit     | 1         | 1 | 1 | 1 | 1 | 1 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|         | 5         | 4 | 3 | 2 | 1 | 0 |   |   |   |   |   |   |   |   |   |   |
|         | D/A1 Data |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
| Bit     | 3         | 3 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 1 | 1 | 1 | 1 |
|         | 1         | 0 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 9 | 8 | 7 | 6 |
|         | Not Used  |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |

➤ 표 3-113. D/A1 Output Channel 레지스터 구조

**D/A2 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/An Channel Register 에 사용자가 원하는 값( -32768 ~ 32767 )을 기록하면 원하는 아날로그 출력이 수행됩니다.

| Address | Bit 구조    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15        | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A2 Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31        | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-114. D/A2 Output Channel 레지스터 구조

**D/A3 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/An Channel Register 에 사용자가 원하는 값( -32768 ~ 32767 )을 기록하면 원하는 아날로그 출력이 수행됩니다.

| Address | Bit 구조    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15        | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A3 Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31        | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-115. D/A3 Output Channel 레지스터 구조

**D/A4 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/An Channel Register 에 사용자가 원하는 값( -32768 ~ 32767 )을 기록하면 원하는 아날로그 출력이 수행됩니다.

## Chapter8. 레지스터 구조

| Address | Bit 구조    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15        | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A4 Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31        | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-116. D/A4 Output Channel 레지스터 구조

**D/A5 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/An Channel Register 에 사용자가 원하는 값( -32768 ~ 32767 )을 기록하면 원하는 아날로그 출력이 수행됩니다.

| Address | Bit 구조    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15        | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A5 Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31        | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-117. D/A5 Output Channel 레지스터 구조

**D/A6 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/An Channel Register 에 사용자가 원하는 값( -32768 ~ 32767 )을 기록하면 원하는 아날로그 출력이 수행됩니다.



| Address | Bit 구조    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15        | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A6 Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31        | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-118. D/A6 Output Channel 레지스터 구조

**D/A7 Output Channel Register** - 사용자가 DC 전압을 출력할 때 D/A 채널을 사용할 수 있습니다. DC 전압을 출력할 때는 D/An Channel Register 에 사용자가 원하는 값( -32768 ~ 32767 )을 기록하면 원하는 아날로그 출력이 수행됩니다.

| Address | Bit 구조    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15        | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | D/A7 Data |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31        | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Not Used  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-119. D/A7 Output Channel 레지스터 구조

## 9. COMI-CP401 레지스터 구조 및 형식

### ◆ 레지스터 값을 읽을 때의 레지스터 구조

| No. | Address | Description            | Bit    |
|-----|---------|------------------------|--------|
| 0   | CS2+0   | Digital Input Register | 32Bits |

➤ 표 3-120. COMI-CP401 레지스터 구조

**Digital Input Register** - 사용자가 디지털 입력을 수행할 때 Digital Input Register 를 읽어 현재 하드웨어적으로 연결된 디지털 입력핀의 상태를 읽을 수 있습니다. Bit 번호와 디지털 입력핀 번호는 같습니다.

| Address | Bit 구조                           |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| Bit     | 15                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|         | Digital Input (0-15 번 Channels)  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| Bit     | 31                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|         | Digital Input (16-31 번 Channels) |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

➤ 표 3-121. Digital Input 레지스터 구조

### ◆ 레지스터에 값을 기록할 때의 레지스터 구조

| No. | Address | Description                    | Bit    |
|-----|---------|--------------------------------|--------|
| 0   | CS2+0   | Digital Output Register        | 32Bits |
| 1   | CS3+0   | DI/O Channels Control Register | 32Bits |

➤ 표 3-122. COMI-CP401 Writing 레지스터 구조

**Digital Output Register** - 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털 출

~~~~~  
 력핀 번호는 같습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Digital Output (0-15 번 Channels)																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Digital Output (16-31 번 Channels)																

➤ 표 3-123. Digital Output 레지스터 구조

DI/O Channel Control Register - 사용자가 디지털 출력 Channel 과 디지털 입력 Channel 의 수를 결정할 수 있습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Not Used														Ctrl		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Not Used																

➤ 표 3-124. Digital Output 레지스터 구조

DI/O Channel 수		Bit1	Bit0
DI/O 32Bits 를 모두 Digital Output 으로 사용		0	0
DI/O 32Bits 를 Output(0-15)과 Input(16-31)으로 사용		1	0
DI/O 32Bits 를 모두 Digital Input 으로 사용		1	1

➤ 표 3-125. DI/O Channel Control 레지스터 구조

10. COMI-SD501 레지스터 구조 및 형식

◆ 레지스터 값을 읽을 때의 레지스터 구조

No.	Address	Description	Bit
0	CS2+32	Encoder Counter0 Read Low Register	16Bits
1	CS2+36	Encoder Counter0 Read High Register	16Bits
2	CS2+40	Encoder Counter1 Read Low Register	16Bits
3	CS2+44	Encoder Counter1 Read High Register	16Bits
4	CS2+48	Encoder Counter2 Read Low Register	16Bits
5	CS2+52	Encoder Counter2 Read High Register	16Bits
6	CS2+56	Encoder Counter3 Read Low Register	16Bits
7	CS2+60	Encoder Counter3 Read High Register	16Bits
8	CS3+0	Z-Pulse Counter0 Read Register	16Bits
9	CS3+4	Z-Pulse Counter1 Read Register	16Bits
10	CS3+8	Z-Pulse Counter2 Read Register	16Bits
11	CS3+12	Z-Pulse Counter3 Read Register	16Bits
12	CS3+16	Pulse Generator Infinite Check Register	4Bits

➤ 표 3-126. COMI-SD501 레지스터 구조

Encoder Counter0 Read Low Register – Encoder Counter0 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Encoder Counter0 Low Word 값을 Read 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter0 Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-127. Encoder Counter0 Low Word 레지스터 구조

Encoder Counter0 Read High Register – Encoder Counter0 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Encoder Counter0 high Word 값을 Read 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter0 High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-128. Encoder Counter0 High Word 레지스터 구조

Encoder Counter1 Read Low Register – Encoder Counter1 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Encoder Counter1 Low Word 값을 Read 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter1 Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-129. Encoder Counter1 Low Word 레지스터 구조

Encoder Counter1 Read High Register – Encoder Counter1 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Encoder Counter1 high Word 값을 Read 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter1 High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-130. Encoder Counter1 High Word 레지스터 구조

Encoder Counter2 Read Low Register – Encoder Counter2 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Encoder Counter2 Low Word 값을 Read 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter2 Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-131. Encoder Counter2 Low Word 레지스터 구조

Encoder Counter2 Read High Register – Encoder Counter2 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Encoder Counter2 high Word 값을 Read 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter2 High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-132. Encoder Counter2 High Word 레지스터 구조

Encoder Counter3 Read Low Register – Encoder Counter3 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Encoder Counter3 Low Word 값을 Read 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter3 Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-133. Encoder Counter3 Low Word 레지스터 구조

Encoder Counter3 Read High Register – Encoder Counter3 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Encoder Counter3 high Word 값을 Read 하는 레지스터 입니다.

Chapter8. 레지스터 구조

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter3 High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-134. Encoder Counter3 High Word 레지스터 구조

Z-Pulse Counter0 Read Register – Z-Pulse 를 이용하여 Encoder Counter0을 Reset 하고 Z-Pulse 를 16Bits Counter 로 셀 수 있습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Z-Pulse Counter0 Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-135. Z-Pulse Counter0 Read 레지스터 구조

Z-Pulse Counter1 Read Register – Z-Pulse 를 이용하여 Encoder Counter1을 Reset 하고 Z-Pulse 를 16Bits Counter 로 셀 수 있습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Z-Pulse Counter1 Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-136. Z-Pulse Counter1 Read 레지스터 구조

Z-Pulse Counter2 Read Register – Z-Pulse 를 이용하여 Encoder Counter2 을 Reset 하고 Z-Pulse 를 16Bits Counter 로 셀 수 있습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Z-Pulse Counter2 Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-137. Z-Pulse Counter2 Read 레지스터 구조

Z-Pulse Counter3 Read Register – Z-Pulse 를 이용하여 Encoder Counter3 을 Reset 하고 Z-Pulse 를 16Bits Counter 로 셀 수 있습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Z-Pulse Counter3 Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-138. Z-Pulse Counter3 Read 레지스터 구조

Pulse Generator Infinite Check Register – Pulse Generator 0~4Channel 은 32Bits Pulse Frequency Register 와 32Bits Pulse Number Register 구성되어 있습니다. 32Bits Pulse Number Register 에 Number 값을 Load 하고 Pulse Generation 을 했을 경우 Pulse 가 모두 출력이 완료됐는지를 Check 하는 Register 입니다. 각 bit 는 Pulse Generator Channel 과 대응하며 각 bit 의 값이 1 이면 Pulse Generation 이 완료된 것이다.

Chapter8. 레지스터 구조

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Not Used												CH3,2,1,0			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-139. Pulse Generator Infinite Check 레지스터 구조

◆ 레지스터에 값을 기록할 때의 레지스터 구조

No.	Address	Description	Bit
0	CS1+32	Encoder Counter 0, 1, 2, 3 Control Register	16Bits
1	CS1+36	Encoder Pulse Gain Control Register	4Bits
2	CS1+48	Pulse Generator 0, 1, 2, 3 Control Register	16Bits
3	CS2+32	Encoder Counter0 Load Low Register	16Bits
4	CS2+36	Encoder Counter0 Load High Register	16Bits
5	CS2+40	Encoder Counter1 Load Low Register	16Bits
6	CS2+44	Encoder Counter1 Load High Register	16Bits
7	CS2+48	Encoder Counter2 Load Low Register	16Bits
8	CS2+52	Encoder Counter2 Load High Register	16Bits
9	CS2+56	Encoder Counter3 Load Low Register	16Bits
10	CS2+60	Encoder Counter3 Load High Register	16Bits
11	CS3+0	Pulse Generator0 Frequency Low Register	16Bits
12	CS3+4	Pulse Generator0 Frequency High Register	16Bits
13	CS3+8	Pulse Generator1 Frequency Low Register	16Bits
14	CS3+12	Pulse Generator1 Frequency High Register	16Bits
15	CS3+16	Pulse Generator2 Frequency Low Register	16Bits
16	CS3+20	Pulse Generator2 Frequency High Register	16Bits
17	CS3+24	Pulse Generator3 Frequency Low Register	16Bits
18	CS3+28	Pulse Generator3 Frequency High Register	16Bits
19	CS3+32	Pulse Generator0 Number Register	16Bits
20	CS3+36	Pulse Generator1 Number Register	16Bits
21	CS3+40	Pulse Generator2 Number Register	16Bits
22	CS3+44	Pulse Generator3 Number Register	16Bits
23	CS3+48		
24	CS3+52		
25	CS3+56		
26	CS3+60		

▶ 표 3-140. COM1-SD501 Writing 레지스터 구조

Encoder Counter Control Register – Encoder Counter 를 Control 하는 Register 입니다.

Chapter8. 레지스터 구조

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Ctrl 3CH				Ctrl 2CH				Ctrl 1CH				Ctrl 0CH			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-141. Encoder Counter Control 레지스터 구조

	3 Bit	2 Bit	1 Bit	0 Bit
0	Z-Pulse Disable	Count Disable	Load Disable	X
1	Z-Pulse Enable	Count Enable	Load Enable	X

Encoder Pulse Gain Control Register – Encoder Pulse 의 정밀도를 1 배 또는 2 배로 Setting 하는 Register 입니다. 2 배로 Setting 하면 Encoder Pulse 수의 2 배로 정밀한 값을 얻을 수 있습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Not Used												GAIN			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-142. Encoder Pulse Gain Control 레지스터 구조

	3 Bit	2 Bit	1 Bit	0 Bit
0	CH3 1X	CH2 1X	CH1 1X	CH0 1X
1	CH3 2X	CH2 2X	CH1 2X	CH0 2X

Pulse Generator Control Register – Pulse Generator 를 Control 하는 Register 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Ctrl 3CH				Ctrl 2CH				Ctrl 1CH				Ctrl 0CH			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-143. Pulse Generator Control 레지스터 구조

	3 Bit	2 Bit	1 Bit	0 Bit
0	finite Disable	Pulse Disable	Load Disable	Clear Disable
1	Enable	Pulse Enable	Load Enable	Clear Enable

Encoder Counter0 Load Low Word Register – Encoder Counter0 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Counting 을 하기 전에 초기 Data 를 Load 할 수 있습니다. Encoder Counter0 Low Word 값을 Load 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter0 Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-144. Encoder Counter0 Low Word 레지스터 구조

Encoder Counter0 Load High Word Register – Encoder Counter0 은 32Bits UP/DOWN Counter 로 Counting 을 하기 전에 초기 Data 를 Load 할 수 있습니다. Encoder Counter0 high Word 값을 Load 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter0 High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-145. Encoder Counter0 High Word 레지스터 구조

Encoder Counter1 Load Low Word Register – Encoder Counter0 Load Low Word Register 와 사용법이 같습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter1 Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-146. Encoder Counter1 Low Word 레지스터 구조

Encoder Counter1 Load High Word Register – Encoder Counter1 은 32Bits UP/DOWN Counter 로 Counting 을 하기 전에 초기 Data 를 Load 할 수 있습니다. Encoder Counter1 high Word 값을 Load 하는 레지스터 입니다.

Address	Bit 구조															
Bit	1 5	1 4	1 3	1 2	1 1	1 0	9	8	7	6	5	4	3	2	1	0
	Encoder Counter1 High Word Data															
Bit	3 1	3 0	2 9	2 8	2 7	2 6	2 5	2 4	2 3	2 2	2 1	2 0	1 9	1 8	1 7	1 6
	Not Used															

➤ 표 3-147. Encoder Counter1 High Word 레지스터 구조

Encoder Counter2 Load Low Word Register – Encoder Counter2 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Counting 을 하기 전에 초기 Data 를 Load 할 수 있습니다. Encoder Counter2 Low Word 값을 Load 하는 레지스터 입니다.

Address	Bit 구조															
Bit	1 5	1 4	1 3	1 2	1 1	1 0	9	8	7	6	5	4	3	2	1	0
	Encoder Counter2 Low Word Data															
Bit	3 1	3 0	2 9	2 8	2 7	2 6	2 5	2 4	2 3	2 2	2 1	2 0	1 9	1 8	1 7	1 6
	Not Used															

➤ 표 3-148. Encoder Counter2 Low Word 레지스터 구조

Encoder Counter2 Load High Word Register – Encoder Counter2 은 32Bits UP/DOWN Counter 로 구성되어 있습니다. Counting 을 하기 전에 초기 Data 를 Load 할 수 있습니다. Encoder Counter2 high Word 값을 Load 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter2 High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-149. Encoder Counter2 High Word 레지스터 구조

Encoder Counter3 Load Low Word Register – Encoder Counter3 은 32Bits UP/DOWN Counter 로 Counting 을 하기 전에 초기 Data 를 Load 할 수 있습니다. Encoder Counter3 Low Word 값을 Load 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter3 Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-150. Encoder Counter3 Low Word 레지스터 구조

Encoder Counter3 Load High Word Register – Encoder Counter0 Load High Word Register 와 사용법이 같습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Encoder Counter3 High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-151. Encoder Counter3 High Word 레지스터 구조

Pulse Generator0 Frequency Low Word Register – Pulse Generator0 은 32Bits Frequency Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. Low 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Frequency Setting Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-152. Pulse Generator0 Frequency Setting Low Word 레지스터 구조

Pulse Generator0 Frequency High Word Register – Pulse Generator0 은 32Bits Frequency Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. High 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Frequency Setting High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-153. Pulse Generator0 Frequency Setting High Word 레지스터 구조

Pulse Generator1 Frequency Low Word Register – Pulse Generator1 은 32Bits Frequency Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. Low 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Frequency Setting Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-154. Pulse Generator1 Frequency Setting Low Word 레지스터 구조

Pulse Generator1 Frequency High Word Register – Pulse Generator1 은 32Bits Frequency Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. High 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Frequency Setting High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-155. Pulse Generator1 Frequency Setting High Word 레지스터 구조

Pulse Generator2 Frequency Low Word Register – Low 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Frequency Setting Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-156. Pulse Generator2 Frequency Setting Low Word 레지스터 구조

Pulse Generator2 Frequency High Word Register – Pulse Generator2 은 32Bits Frequency Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. High 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Frequency Setting High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-157. Pulse Generator2 Frequency Setting High Word 레지스터 구조

Pulse Generator3 Frequency Low Word Register – Pulse Generator3 은 32Bits Frequency Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. Low 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
	5	4	3	2	1	0										
	Frequency Setting Low Word Data															
Bit	3	3	2	2	2	2	2	2	2	2	2	1	1	1	1	
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
	Not Used															

➤ 표 3-158. Pulse Generator3 Frequency Setting Low Word 레지스터 구조

Pulse Generator3 Frequency High Word Register – Pulse Generator3 은 32Bits Frequency Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. High 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
	5	4	3	2	1	0										
	Frequency Setting High Word Data															
Bit	3	3	2	2	2	2	2	2	2	2	2	1	1	1	1	
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
	Not Used															

➤ 표 3-159. Pulse Generator3 Frequency Setting High Word 레지스터 구조

Pulse Generator0 Number Low Word Register – Pulse Generator0 은 32Bits Pulse Number Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. Low 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
	5	4	3	2	1	0										
	Pulse Number Setting Low Word Data															
Bit	3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
	Not Used															

➤ 표 3-160. Pulse Generator0 Pulse Number Setting Low Word 레지스터

Pulse Generator0 Number High Word Register – Pulse Generator0 은 32Bits Pulse Number Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. High 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
	5	4	3	2	1	0										
	Pulse Number Setting High Word Data															
Bit	3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
	Not Used															

➤ 표 3-161. Pulse Generator0 Pulse Number Setting High Word 레지스터

Pulse Generator1 Number Low Word Register – Pulse Generator1 은 32Bits Pulse Number Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. Low 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
	5	4	3	2	1	0										
	Pulse Number Setting Low Word Data															
Bit	3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
	Not Used															

➤ 표 3-162. Pulse Generator1 Pulse Number Setting Low Word 레지스터

Pulse Generator1 Number High Word Register – Pulse Generator1 은 32Bits Pulse Number Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. High 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
	5	4	3	2	1	0										
	Pulse Number Setting High Word Data															
Bit	3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
	Not Used															

➤ 표 3-163. Pulse Generator1 Pulse Number Setting High Word 레지스터

Pulse Generator2 Number Low Word Register – Pulse Generator2 은 32Bits Pulse Number Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. Low 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
	5	4	3	2	1	0										
	Pulse Number Setting Low Word Data															
Bit	3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
	Not Used															

➤ 표 3-164. Pulse Generator2 Pulse Number Setting Low Word 레지스터

Pulse Generator2 Number High Word Register – Pulse Generator2 은 32Bits Pulse Number Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. High 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
	5	4	3	2	1	0										
	Pulse Number Setting High Word Data															
Bit	3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1
	1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6
	Not Used															

➤ 표 3-165. Pulse Generator2 Pulse Number Setting High Word 레지스터

Pulse Generator3 Number Low Word Register – Pulse Generator3 은 32Bits Pulse Number Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. Low 16Bits Data 를 Write 하는 Register 입니다.

Chapter8. 레지스터 구조

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pulse Number Setting Low Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-166. Pulse Generator3 Pulse Number Setting Low Word 레지스터

Pulse Generator3 Number High Word Register – Pulse Generator3 은 32Bits Pulse Number Setting Register 가 있습니다. 32Bits Data 를 16Bits 씩 두 번 Write 해야 합니다. High 16Bits Data 를 Write 하는 Register 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pulse Number Setting High Word Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-167. Pulse Generator3 Pulse Number Setting High Word 레지스터

11. COMI-SD502 레지스터 구조 및 형식

◆ 레지스터 값을 읽을 때의 레지스터 구조

No.	Address	Description	Bit
0	CS0+0	Old Counter0 Value Register	24Bits
1	CS0+4	Old Counter1 Value Register	24Bits
2	CS0+8	Old Counter2 Value Register	24Bits
3	CS0+12	Old Counter3 Value Register	24Bits
4	CS0+16	Old Counter4 Value Register	24Bits
5	CS0+20	Old Counter5 Value Register	24Bits
6	CS0+24	Old Counter6 Value Register	24Bits
7	CS0+28	Old Counter7 Value Register	24Bits
8	CS0+32	Old Counter8 Value Register	24Bits
9	CS0+36	Old Counter9 Value Register	24Bits
10	CS1+0	Now Counter0 Value Register	24Bits
11	CS1+4	Now Counter1 Value Register	24Bits
12	CS1+8	Now Counter2 Value Register	24Bits
13	CS1+12	Now Counter3 Value Register	24Bits
14	CS1+16	Now Counter4 Value Register	24Bits
15	CS1+20	Now Counter5 Value Register	24Bits
16	CS1+24	Now Counter6 Value Register	24Bits
17	CS1+28	Now Counter7 Value Register	24Bits
18	CS1+32	Now Counter8 Value Register	24Bits
19	CS1+36	Now Counter9 Value Register	24Bits
20	CS3+0	Digital Input Register	3Bits
21	CS3+4	Gate Status Register	10Bits

➤ 표 3-168. COMI-SD502 레지스터 구조

Old Counter# Value Register – 24bit Register 로 구성되어 있습니다. Old Counter#값을 Read 하는 레지스터 입니다. 여기에서 Old Counter#값은 Counter#의 Gate 신호가 Negative Edge 에서 Latch 됩니다.

Chapter8. 레지스터 구조

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Old Counter# Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used								Old Counter# Data							

➤ 표 3-169. Old Counter# Value 레지스터 구조

Now Counter# Value Register – 24bit Register 로 구성되어 있습니다.
현재 Counter#값을 Read 하는 레지스터 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Now Counter# Data															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used								Now Counter# Data							

➤ 표 3-170. Now Counter# Value 레지스터 구조

Digital Input Register – Digital Input Register 입니다. 각 Bit 는
각 Channel 에 대응 됩니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Not Used												DI2,1,0			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-171. Digital Input 레지스터 구조

Gate Status Register – 각 Counter 의 Gate 신호의 상태를 나타내는 Register 입니다. 각 Bit 는 각 Counter Channel 의 Gate 에 대응 됩니다. Gate 가 High 이면 Counting 상태입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Not Used						Gate Status									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-172. Gate Status 레지스터 구조

◆ 레지스터에 값을 기록할 때의 레지스터 구조

No.	Address	Description	Bit
0	CS3+0	Digital Output Register	3Bits
1	CS3+4	DI/O Control Register	1Bit
2	CS3+8	Counter Mode Control Register	10Bits
3	CS3+12	Counter Clear Control Register	10Bits
4	CS3+16	Counter Clock Select Register	10Bits
5	CS3+20	Counter Base Clock Select Register0	16Bits
6	CS3+24	Counter Base Clock Select Register1	16Bits
7	CS3+28	Counter Base Clock Select Register2	8Bits

➤ 표 3-173. COMI-SD502 Writing 레지스터 구조

Digital Output Register – 사용자가 디지털 출력을 수행할 때 Digital Output Register 에 Data 를 쓰면 됩니다. Bit 번호와 디지털 출력핀 번호는 같습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Not Used												D02,1,0			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-174. Digital Output 레지스터 구조

DI/O Control Register – 사용자가 DI/O 0~2CH 을 디지털 출력 또는 디지털 입력으로의 기능을 결정할 수 있습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Not Used															C
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

DI/O	Bit0
DI/O 0~2CH 을 모두 Digital Input 으로 사용	0
DI/O 0~2CH 을 모두 Digital Output 으로 사용	1

➤ 표 3-175. DI/O Channel Control 레지스터 구조

Counter Mode Control Register – 모든 Counter 는 일반 24Bit Up Counter 또는 Gate 신호의 주파수 측정용으로 사용할 수 있습니다. 각 Bit 는 각 Channel 에 대응됩니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Not Used						Mode Control									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

Mode Control	각 Bit
Counter 를 일반 Up Counter 로 사용	0
Counter 를 Gate 신호의 주파수 측정용으로 사용	1

➤ 표 3-176. Counter Mode Control 레지스터 구조

Counter Clear Control Register – 일반 24Bit Up Counter 로 사용시 각각의 Counter 를 Clear 하는 Register 입니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Not Used						Clear Control									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

Clear Control	각 Bit
Counter 를 Clear Disable	0
Counter 를 Clear Enable	1

➤ 표 3-177. Counter Clear Control 레지스터 구조

Counter Clock Select Register – 각각의 Counter 의 Clock 의 Source 를 Internal Base Clock 을 사용할 것인지 External Clock 을 사용할 것인지를 선택합니다. Internal Base Clock 을 선택 시에는 아래의 Counter Base Clock Select Register0,1,2 를 사용하여 다양한 Base Clock 를 선택할 수 있습니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Not Used						Clock Select Control									
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

Clock Select Control	각 Bit
External Clock Select	0
Internal Clock Select	1

➤ 표 3-178. Counter Clock Select 레지스터 구조

Counter Base Clock Select Register0,1,2 – 위에서 Internal Base Clock 를 선택한 후 이 Register 를 이용하여 다양한 Base Clock 를 선택할 수 있습니다. Gate 의 주파수를 측정 시 Internal Base Clock 을 사용합니다. 높은 주파수를 사용할수록 좀더 정밀한 주파수를 측정할 수 있으나 24Bit Counter 의 Over Flow 를 주의하여 적당한 Base Clock 를 선택하여야 합니다.

Address	Bit 구조															
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Counter3				Counter2				Counter1				Counter0			
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	Not Used															

➤ 표 3-179. Counter Base Clock Select 레지스터 구조

Chapter8. 레지스터 구조

Base Clock	Bit3	Bit2	Bit1	Bit0
5 MHz	0	0	0	0
2.5 MHz	0	0	0	1
1.25 MHz	0	0	1	0
625 KHz	0	0	1	1
312.5 kHz	0	1	0	0
156.25 KHz	0	1	0	1
78125 Hz	0	1	1	0
39062.5 Hz	0	1	1	1
19531.25 Hz	1	0	0	0
9765.625 Hz	1	0	0	1
4882.8125 Hz	1	0	1	0
2441.40625 Hz	1	0	1	1
1220.703125 Hz	1	1	0	0
610.3515625 Hz	1	1	0	1
305.17578125 Hz	1	1	1	0
152.587890625 Hz	1	1	1	1

➤ 표 3-180. Counter Base Clock Select 레지스터 구조

12. COMI-CP501 레지스터 구조 및 형식

◆ 레지스터 값을 읽을 때의 레지스터 구조

No.	Address	Description	Bit
0	CS3+0	82C54 0 Count0 Register	32Bits
1	CS3+4	82C54 0 Count1 Register	32Bits
2	CS3+8	82C54 0 Count2 Register	32Bits
3	CS3+12		32Bits
4	CS3+14	82C54 1 Count0 Register	32Bits
5	CS3+20	82C54 1 Count1 Register	32Bits
6	CS3+24	82C54 1 Count2 Register	32Bits
7	CS3+28		32Bits
8	CS3+32	82C54 2 Count0 Register	32Bits
9	CS3+36	82C54 2 Count1 Register	32Bits
10	CS3+40	82C54 2 Count2 Register	32Bits
11	CS3+44		32Bits
12	CS3+48	82C54 3 Count0 Register	32Bits
13	CS3+52	82C54 3 Count1 Register	32Bits
14	CS3+56	82C54 3 Count2 Register	32Bits
15	CS3+60		32Bits

표 3-181. COMI-CP501 레지스터 구조

82C54 # Count# Register – 82C54 칩에는 각 3 개의 카운터가 사용 가능합니다. 따라서 사용자는 이 레지스터를 참조하여 현재 자신이 원하는 카운터의 값을 얻을 수 있습니다.

◆ 레지스터에 값을 기록할 때의 레지스터 구조

No.	Address	Description	Bit
0	CS3+0	82C54 0 Count0 Register	32Bits
1	CS3+4	82C54 0 Count1 Register	32Bits
2	CS3+8	82C54 0 Count2 Register	32Bits
3	CS3+12	82C54 0 Control Register	32Bits
4	CS3+14	82C54 1 Count0 Register	32Bits
5	CS3+20	82C54 1 Count1 Register	32Bits
6	CS3+24	82C54 1 Count2 Register	32Bits
7	CS3+28	82C54 1 Control Register	32Bits
8	CS3+32	82C54 2 Count0 Register	32Bits
9	CS3+36	82C54 2 Count1 Register	32Bits
10	CS3+40	82C54 2 Count2 Register	32Bits
11	CS3+44	82C54 2 Control Register	32Bits
12	CS3+48	82C54 3 Count0 Register	32Bits
13	CS3+52	82C54 3 Count1 Register	32Bits
14	CS3+56	82C54 3 Count2 Register	32Bits
15	CS3+60	82C54 3 Control Register	32Bits

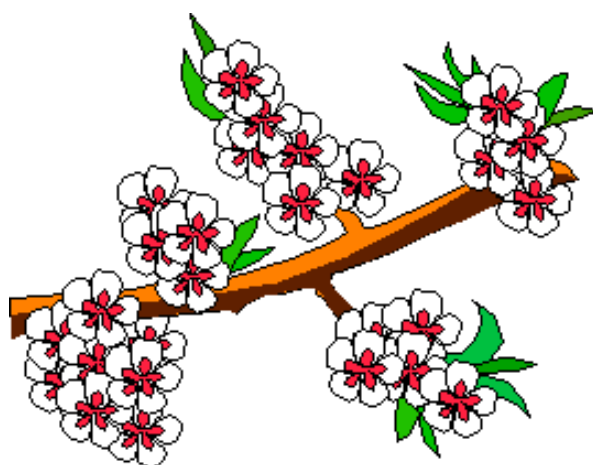
표 3-182. COM1-CP501 레지스터 구조

82C54 # Count# Register - 82C54 칩에는 각 3 개의 카운터가 사용 가능합니다. 따라서 사용자는 이 레지스터에 적정값을 로드하여 자신이 원하는 초기값을 설정할 수 있습니다.

82C54 # Control Register - 82C54 칩에는 각 3 개의 카운터에 각각 하나의 컨트롤 레지스터가 있습니다. 이 레지스터의 설정값에 따라 카운터의 기능이 결정됩니다. 자세한 내용은 부록을 참조하십시오.



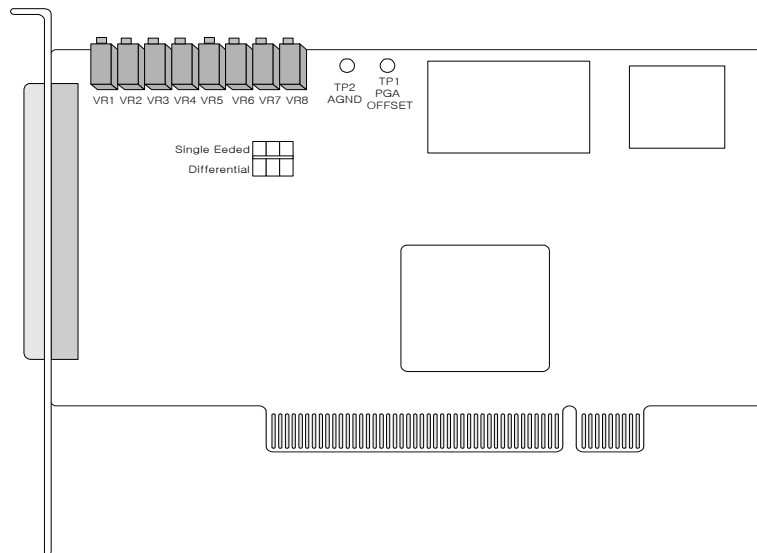
PART IV



부록 1. A/D, D/A Gain 및 Offset 조정방법

COMI-SD101/103 Board 에는 아날로그 입력 채널의 Offset 과 Gain 을 조정할 수 있는 4 개의 가변저항 (VR1, VR2, VR3, VR4) 과, 아날로그 출력 채널의 Offset 과 Gain 을 조정할 수 있는 4 개의 가변저항 (VR5, VR6, VR7, VR8)이 있습니다.

각 Calibration 용 가변저항의 위치는 아래 그림과 같습니다.



[그림 4-1] COMI-SD101/103 Calibration 용 가변저항의 위치

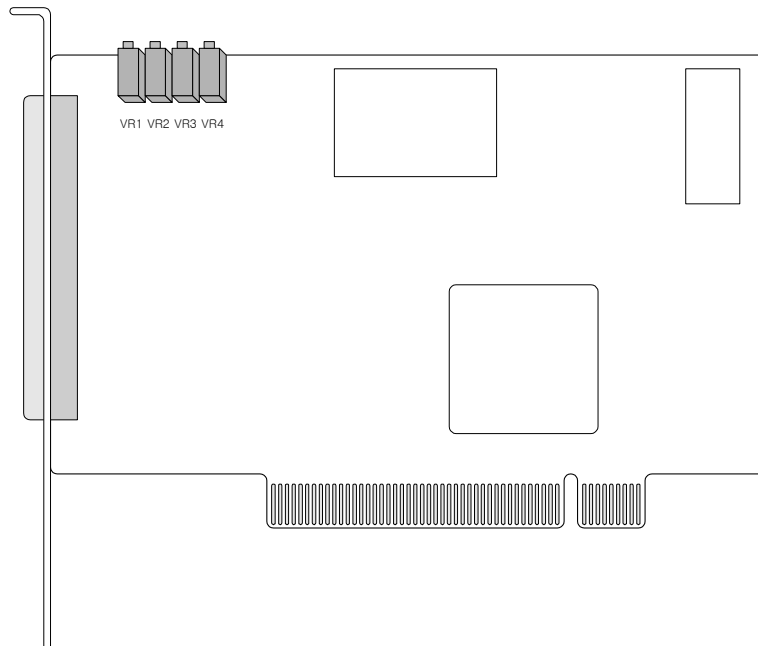
그리고 각 Calibration 용 가변저항의 기능은 아래의 표 1 에 나타내었습니다.

부록 1

번 호	가변 저항기	기 능	용 도
1	VR1	A/D PGA offset 조정	A/D 조정용
2	VR2	A/D Bipolar offset 조정	
3	VR3	A/D Bipolar Gain 조정	
4	VR4	A/D Unipolar offset 조정	
4	VR5	D/A0 Offset 조정	D/A 조정용
5	VR6	D/A0 Gain 조정	
6	VR7	D/A1 Offset 조정	
7	VR8	D/A1 Gain 조정	

➤ 표 1. COMI-SD101/103 Calibration 용 가변저항의 기능

COMI-CP101 Board 에는 아날로그 입력 채널의 Offset 과 Gain 을 조정할 수 있는 2 개의 가변저항 (VR1, VR2) 과, 아날로그 출력 채널의 Offset 과 Gain 을 조정할 수 있는 2 개의 가변저항 (VR3, VR4)이 있습니다. 각 Calibration 용 가변저항의 위치는 아래 그림과 같습니다.



[그림 4-2] COMI-CP101 Calibration 용 가변저항의 위치

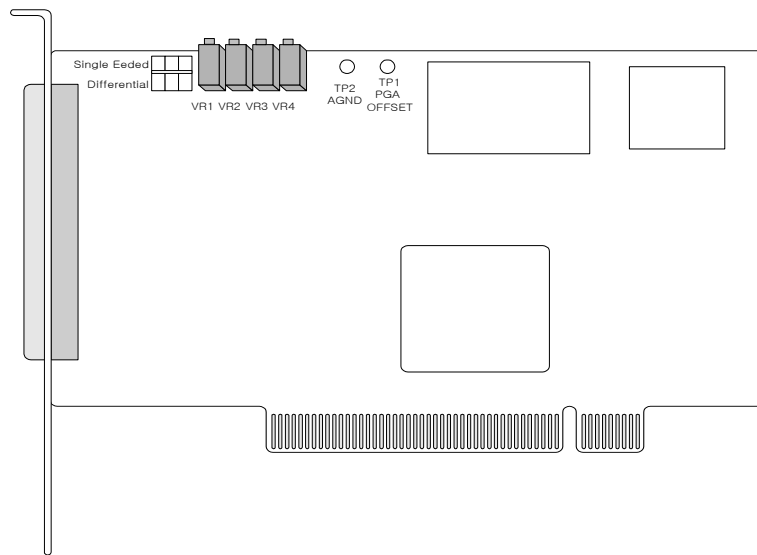
그리고 각 Calibration 용 가변저항의 기능은 아래의 표 8 에 나타내었습니다.

번 호	가 변 저 항 기	기 능	용 도
1	VR1	A/D Bipolar offset 조정	A/D
2	VR2	A/D Bipolar Gain 조정	조정용
3	VR3	D/A Gain 조정	D/A
4	VR4	D/A Offset 조정	조정용

➤ 표 2. COMI-CP101 Calibration 용 가변저항의 기능

COMI-SD201 Board 에는 아날로그 입력 채널의 Offset 과 Gain 을 조정할 수 있는 4 개의 가변저항 (VR1, VR2, VR3, VR4) 이 있습니다.

각 Calibration 용 가변저항의 위치는 아래 그림과 같습니다.



[그림 4-3] COMI-SD201 Calibration 용 가변저항의 위치

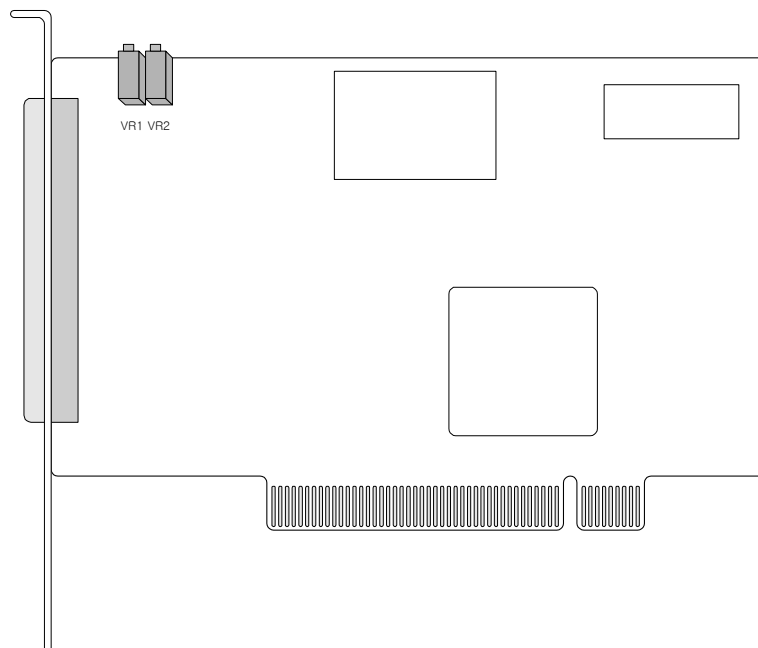
부록 1

번 호	가변 저항기	기 능	용 도
1	VR1	A/D PGA offset 조정	A/D 조정용
2	VR2	A/D Bipolar offset 조정	
3	VR3	A/D Bipolar Gain 조정	
4	VR4	A/D Unipolar offset 조정	

➤ 표 3. COMI-CP201 Calibration 용 가변저항의 기능

COMI-CP201 Board 에는 아날로그 입력 채널의 Offset 과 Gain 을 조정할 수 있는 2 개의 가변저항 (VR1, VR2) 이 있습니다.

각 Calibration 용 가변저항의 위치는 아래 그림과 같습니다.



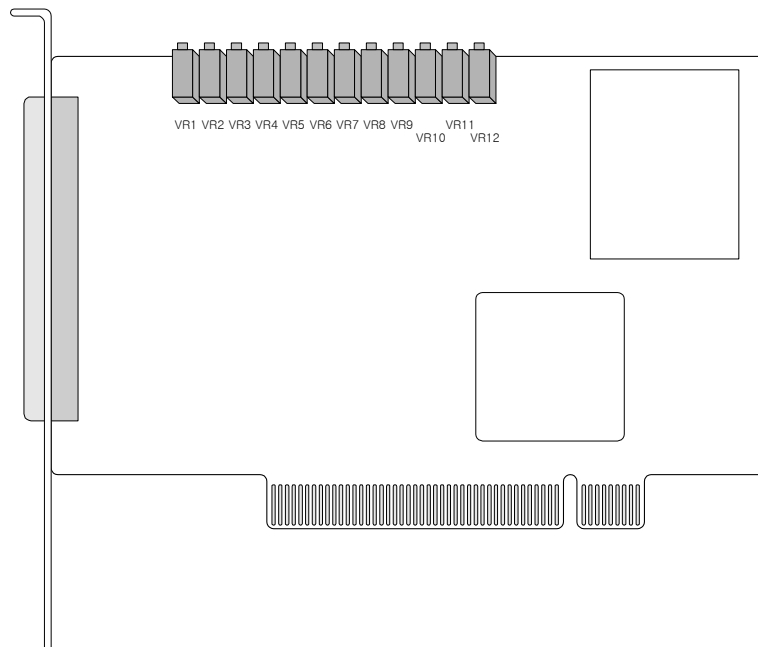
[그림 4-4] COMI-CP201 Calibration 용 가변저항의 위치

번 호	가변 저항기	기 능	용 도
1	VR1	A/D Bipolar offset 조정	A/D
2	VR2	A/D Bipolar Gain 조정	조정용

➤ 표 4. COMI-CP201 Calibration 용 가변저항의 기능

COMI-CP301 Board 에는 아날로그 출력 6 채널의 Offset 과 Gain 을 조정할 수 있는 12 개의 가변저항 (VR1 ~ VR12) 이 있습니다.

각 Calibration 용 가변저항의 위치는 아래 그림과 같습니다.



[그림 4-5] COMI-CP301 Calibration 용 가변저항의 위치

부록 1

번 호	가변 저항기	기 능	용 도
1	VR1	D/A 0 ch Gain 조정	D/A
2	VR2	D/A 0 ch Offset 조정	조정용
3	VR3	D/A 1 ch Gain 조정	D/A
4	VR4	D/A 1 ch Offset 조정	조정용
5	VR5	D/A 2 ch Gain 조정	D/A
6	VR6	D/A 2 ch Offset 조정	조정용
7	VR7	D/A 3 ch Gain 조정	D/A
8	VR8	D/A 3 ch Offset 조정	조정용
9	VR9	D/A 4 ch Gain 조정	D/A
10	VR10	D/A 4 ch Offset 조정	조정용
11	VR11	D/A 5 ch Gain 조정	D/A
12	VR12	D/A 5 ch Offset 조정	조정용

➤ 표 5. COMI-CP301 Calibration 용 가변저항의 기능

1. A/D, D/A Converter 의 Offset 및 Gain 조정

COMI-SD Series Board 에는 A/D 변환 시 선택할 수 있는 입력 전압 범위는 $\pm 10V$, $\pm 5V$, $\pm 2V$, $\pm 1V$, $0\sim 10V$, $0\sim 5V$, $0\sim 2V$, $0\sim 1V$ 중 하나입니다. Offset, Gain 조정 작업은 다음 표를 사용하여 조정합니다.

전압범위 (FSR)	000 에서 001 로 천이 ($-FSR + 1/2LSB$)	FFEh 에서 FFFh 로 천이 ($FSR + 3/2LSB$)	1 LSB 값
$\pm 10V$	$-9.9976 V$	$+9.9927 V$	$4.88mV$

➤ 표 6. 각 전압 범위에서의 A/D 천이 코드표

- ▶ FSR : Full Scale Range
- ▶ LSB : Least Significant Bit

1-1. Offset 조정

▶ COMI-SD101/103 Offset 조정

PGA Offset 조정방법 :

±10V 전압범위로 선택하고 A/D 0Channel 에 AGND 를 연결합니다.
TP1 과 TP2 의 전압차를 체크하여 0.000V 가 되도록 VR 을 조정합니다.

Bipolar Offset 조정방법 :

±10V 전압범위로 선택하고 A/D 0Channel 에 AGND 를 연결합니다.
VR 을 조정하여 입력 코드가 2047~2048(0V)로 천이하도록 합니다.
통계적으로 이것은 일정한 시간 동안 2047~2048(0V)이 각각 50%가 나타나도록 하는 것입니다.

Unipolar Offset 조정방법 :

Bipolar 를 조정한 후 Unipolar 를 조정하세요.
0~10V 전압범위로 선택하고 A/D 0Channel 에 AGND 를 연결합니다.
VR 을 조정하여 입력 코드가 000~001h(0V)로 천이하도록 합니다.
통계적으로 이것은 일정한 시간 동안 000~001h(0V)이 각각 50%가 나타나도록 하는 것입니다.

▶ COMI-SD201 Offset 조정

PGA Offset 조정방법 :

±10V 전압범위로 선택하고 A/D 0Channel 에 AGND 를 연결합니다.
TP1 과 TP2 의 전압차를 체크하여 0.000V 가 되도록 VR 을 조정합니다.

Bipolar Offset 조정방법 :

±10V 전압범위로 선택하고 A/D 0Channel 에 AGND 를 연결합니다.
VR 을 조정하여 입력 코드가 0000h~0001h(0V)로 천이하도록 합니다.
통계적으로 이것은 일정한 시간 동안 0000h~0001h (0V)이 각각 50%가 나타나도록 하는 것입니다.

Unipolar Offset 조정방법 :

Bipolar 를 조정한 후 Unipolar 를 조정하세요.

0~10V 전압범위로 선택하고 A/D 0Channel 에 AGND 를 연결합니다.

VR 을 조정하여 입력 코드가 -32768~-32767(0V)로 천이하도록 합니다.

통계적으로 이것은 일정한 시간 동안 -32768~-32767(0V)이 각각 50%가 나타나도록 하는 것입니다.

1-2. Gain 조정

▶ COMI-SD101/103 Offset 조정

Bipolar Gain 조정방법 :

±10V 전압범위로 선택하고 A/D 0Channel 에 10.000V 를 연결합니다.

VR 을 조정하여 입력 코드가 4094~4095(10V)로 천이하도록 합니다.

통계적으로 이것은 일정한 시간 동안 4094~4095(10V)이 각각 50%가 나타나도록 하는 것입니다.

▶ COMI-SD201 Offset 조정

Bipolar Gain 조정방법 :

±10V 전압범위로 선택하고 A/D 0Channel 에 10.000V 를 연결합니다.

VR 을 조정하여 입력 코드가 32766~32767(10V)로 천이하도록 합니다.

통계적으로 이것은 일정한 시간 동안 32766~32767(10V)이 각각 50%가 나타나도록 하는 것입니다.

2. D/A Converter 의 Offset 및 Gain 조정

D/A 출력전압 범위는 Bipolar $\pm 10V$ 입니다.

아날로그 출력에 대해 Offset 과 Gain 을 조정할 수 있습니다.

2-1. Offset 조정

코드 000h (Hex)를 출력시키고 출력 전압이 - 10.000V 가 되도록 VR 을 조정합니다. 다시 말하면 해당 아날로그 출력채널의 전압을 - 10.000V 로 설정하고 VR 을 조정하여 실제 출력이 - 10.000V 가 되도록 합니다.

2-2. Gain 조정

코드 FFFh (Hex)를 출력시키고 출력 전압이 +10.000V 가 되도록 VR 을 조정합니다.

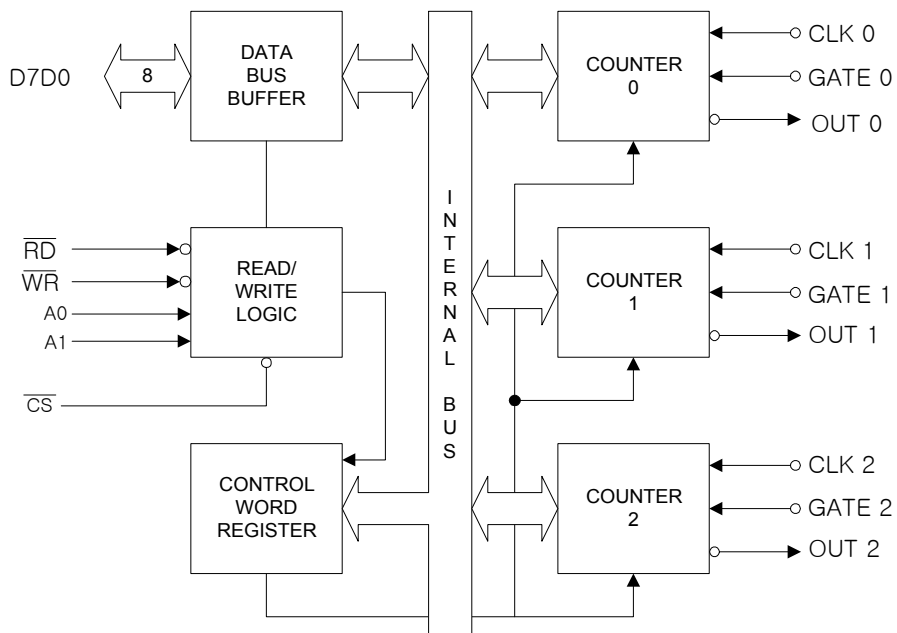
부록 2. Intel 8253/4 카운터

Intel 8253/4 카운터는 일반적으로 최대 5MHz 의 Rate 로 동작되는 각기 3 개의 독립 카운터가 내장되어 있습니다.

각 카운터 들은 6 개의 다른 동작 모드로 작동할 수 있게 되어 있으며, 모든 동작은 Software 로 제어 가능합니다.

Intel 8253/4 카운터의 주된 기능은 다음과 같습니다.

- ☐ Programmable Rate Generator
- ☐ Event Counter
- ☐ Real Time Clock
- ☐ Digital One Shot
- ☐ Time Delay Generator



[그림 4-6] 8254 카운터 내부구조

1. Control Register

Intel 8254 는 4 개의 I/O Register 를 가지고 있으며, 그 I/O Map 은 다음과 같습니다.

CS	RD	WR	A1	A0	
0	1	0	0	0	Load Counter No. 0
0	1	0	0	1	Load Counter No. 1
0	1	0	1	0	Load Counter No. 2
0	1	0	1	1	Write Mode Word
0	0	1	0	0	Read Counter No. 0
0	0	1	0	1	Read Counter No. 1
0	0	1	1	0	Read Counter No. 2
0	0	1	1	1	No Operation 3-state
1	X	X	X	X	Disable 3-state
0	1	1	X	X	No Operation 3-state

➤ 표 7. 8254 레지스터

각각의 카운터에 값을 쓰거나 읽기 전에 Control Register 에 다음의 Data 를 기록 해야 합니다

.

- ☐ 카운터 선정(0, 1, or 2)
- ☐ Read, Load Mode 선정
- ☐ Operating Mode 선정
- ☐ Binary or BCD 선정

Control Register 의 Format 은 다음과 같습니다.

Bit	7	6	5	4	3	2	1	0
	SC1	SC0	RL1	RL0	M2	M1	M0	BCD

➤ 표 8. Control Register 의 Format

▷ SC1, SC0 : Counter 선택

SC 1	SC 0	Counter
0	0	0
0	1	1
1	0	2
1	1	사용 안됨

➤ 표 9. 카운터 선택 비트

▷ RL1, RL0 : Read, Load 동작 선택

RL 1	RL 0	동작
0	0	Counter Latch 0
0	1	Read / Load LSB
1	0	Read / Load MSB
1	1	Read / Load LSB first then MSB

➤ 표 10. Read, Load 동작 선택

▷ M2, M1, M0 : 동작 모드 선택

M2	M1	M0	MODE
0	0	0	0
0	0	1	1
X	1	0	2
X	1	1	3
1	0	0	4
1	0	1	5

➤ 표 11. 동작 모드 선택

부록 2

▷ BCD : BCD 또는 Binary Count 선택

BCD	Count 형태
0	Binary 16 bit Count
1	BCD Count

➤ 표 12. BCD 또는 Binary Count 선택

▶ Binary Count : 0 ~ 65535

▶ BCD Count : 0 ~ 9999

2. Mode 정의

◆ MODE 0 : Interrupt on Terminal Count

Mode 설정 후 출력이 초기에는 “Low” 상태로 있습니다. 카운트 값이 선택된 Count Register 에 쓰여지면 그때까지 출력은 “Low” 상태를 유지하고 카운트는 시작됩니다. 그러다가 마지막 카운트에 도달하면 출력이 “High” 로 변합니다. 카운트 중에 다시 새 카운트 값을 Reload 하면 새 카운트의 첫 Byte 를 쓸 때 카운트가 중지 되고 두 번째 Byte 를 쓸 때 새 카운트가 시작됩니다. Gate 는 High 일 때 카운트가 이루어지고 Low 일 때 카운트가 중지 됩니다.

◆ MODE 1 : Programmable One-Shot

Gate 입력이 High 로 되는 순간 이후 CLK 의 Rising Edge 에서 출력은 Low 상태를 유지하고 카운트 값의 마지막을 카운트하면 High 로 됩니다. (카운트시작이 Gate 의 Rising Edge 에서 Trigger 됨).

만약 출력이 Low 인 상태에서 새로운 카운트 값을 쓰면 현재의 카운트(혹은 출력)에 영향을 미치지 못합니다. 이때 쓰여진 값은 다음의 출력의 Rising 시에 Load 되어 카운트 값으로 됩니다.

현재의 카운트가 종료되기 전에 다시 출력이 Low 가 되어 Rising Edge 가 발생되면 다시 처음의 카운트 값부터 카운트가 시작됩니다.

또한 카운트 중에 카운트 값을 읽는 것은 현재의 카운트동작에 영향을 주지 않으므로 (Counter Latch Mode 에서) 카운트 중에 자유로이 읽어 들일 수 있습니다.

◆ MODE 2 : Rate Generator

입력 Clock 을 N 분주 하는 Mode 입니다. 출력이 Low 로 카운트 종료 시 Input Clock 의 1 주기 동안이며, 카운트가 종료되면 자동으로 다시 카운트가 시작되므로 Output Pulse 간의 간격은 카운트 값과 일치합니다.

부록 2

Gate 입력이 Low 이면 출력은 High 상태를 유지하고 Gate 가 High 되면 Counting 이 처음부터 다시 시작됩니다. 따라서 Gate 입력은 카운트의 동기를 맞추는데 사용할 수 있습니다.

프로그램에 의해 이 Mode 가 설정 되어도 Count Register 가 Load 되지 않으면 출력이 High 로 유지되고 카운트가 시작되지 않습니다. 이 방법으로 프로그램에 의해 Counting 을 동기 시킬 수 있습니다.

◆ MODE 3 : Square Wave Rate Generator

[Mode 2]와 거의 같고 출력이 카운트 값의 반($1/2$) 동안은 High, 나머지 반($1/2$) 동안은 Low 를 유지하는 N 분주 기능을 수행합니다. 카운트동안에 새 카운트 값이 써지면 현재의 카운트가 종료된 후 새 값으로 카운트를 시작합니다.

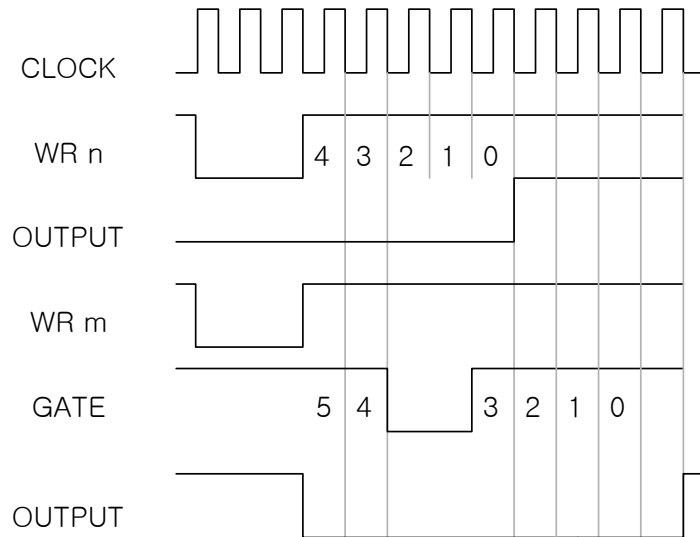
◆ MODE 4 : Software Triggered Strobe

이 모드가 Set 되면 Output 이 High 상태가 됩니다. 카운트 값이 기록 되면 카운트가 시작되고 마지막 카운트에서 Input CLK 의 1 주기 동안 출력이 Low 상태가 되고 종료됩니다. Gate 입력이 Low 가 되면 Counting 이 정지되고 다시 High 가 되면 카운트가 이어서 계속됩니다. 카운트도중이라도 카운트 Register 를 Reload 하면 카운트는 새 값으로 처음부터 다시 시작됩니다.

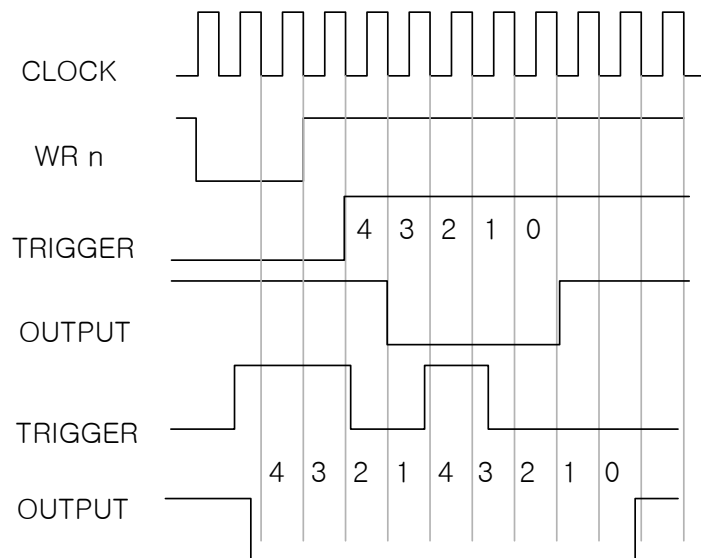
◆ MODE 5 : Hardware Triggered Strobe

Counting 이 Trigger Input (Gate)의 Rising Edge 부터 시작하고, Counting 이 끝나면 CLK Input 의 1 주기 동안 Low 상태가 됩니다. Gate 의 신호가 Rising Edge 가 될 때마다 카운터에 Load 된 값으로 처음부터 카운트가 시작되고 종료 시 출력이 Low 상태로 한 CLK 유지되다 다시 High 상태로 됩니다.

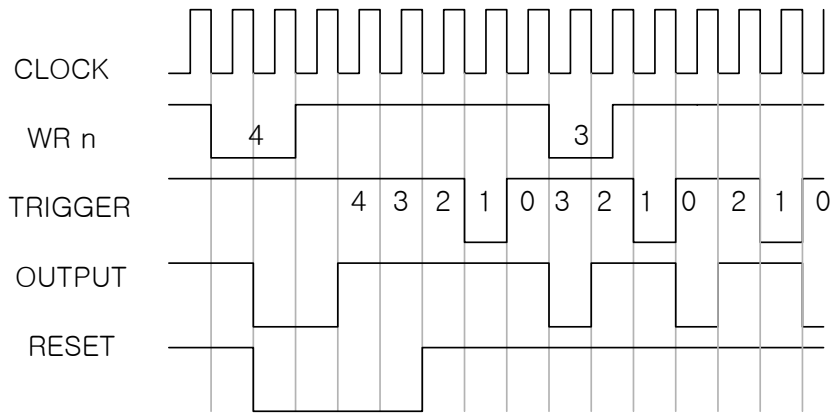
다음 그림은 8254 의 각 모드별 Timing 입니다.



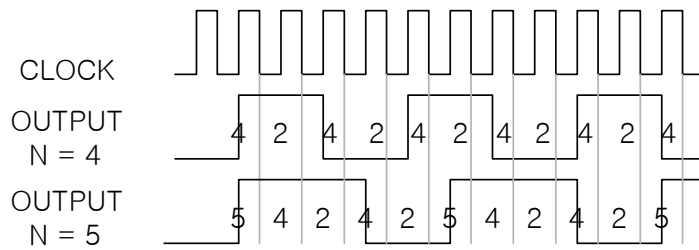
[그림 4-7] Mode 0 : Interrupt on Terminal Count 의 Timing



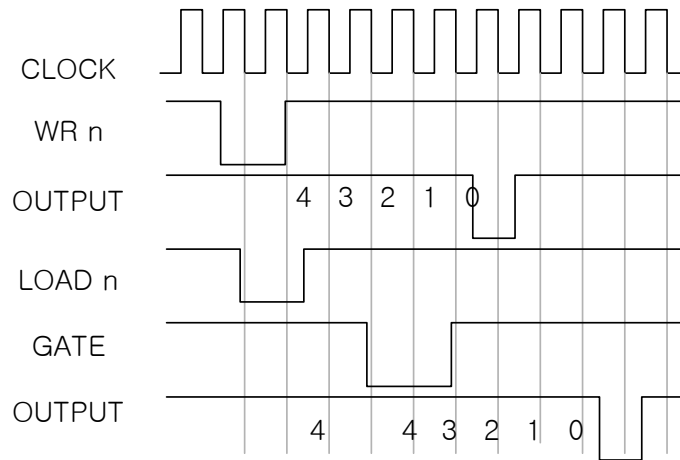
[그림 4-8] Mode 1 : Programmable One-Shot 의 Timing



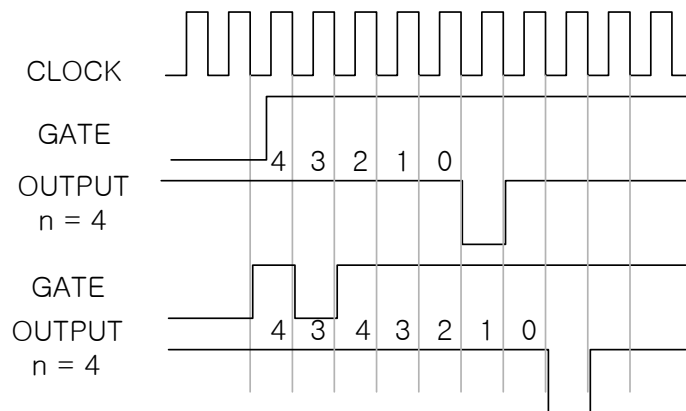
[그림 4-9] Mode 2 : Rate Generator 의 Timing



[그림 4-10] Mode 3 : Square-Wave Generator 의 Timing



[그림 4-11] Mode 4 : Software Triggered Strobe 의 Timing



[그림 4-12] Mode 5 : Hardware Triggered Strobe 의 Timing

3. Loading & Reading the Counter

Intel 8254 의 프로그래밍은 매우 융통성이 있어 단지 2 가지 규정만 기억하면 됩니다.

◆ 각 카운터에 대해 Counting 초기 값이 쓰여지기 전에 Control Register 를 써넣어야 합니다.

◆ 카운트 초기 값은 Control Register 에서 규정한 Count Format 을 따라야 합니다. (하위 바이트만, 상위 바이트만, 또는 하위 바이트, 상위 바이트 순서로 기록하거나 읽습니다.)

◇ 주의 : 만약 카운터가 2 Byte 값을 쓰거나 읽고자 할 때 첫 번째 Byte 를 쓰고 두 번째 Byte 를 쓰지 않은 상태에서 다른 Routine 으로 Jump 하지 않도록 해야 합니다.

4. 카운터 읽기.

카운트 값을 읽기 위해서는 두 가지의 방법이 있습니다. 하나는 직접 카운터의 카운트 값을 읽어 들이는 경우이고, 둘째는 Counting 도중에 카운트에 영향을 주지 않고 값을 읽어 들이는 Count Latch Mode 입니다.

Count Latch Mode 는 채널을 SC1, SC0 로 결정하고, RL1, RL0 로 카운터를 설정하고, bit0 에서 bit3 까지는 관계없이 써 주면 이 순간의 카운트 값이 Storage Register 에 저장되고 카운트 값을 읽어 들이면 됩니다.

Counter Latch Mode 가 아닌 직접 값을 읽어 들일 때는 반드시 Clock 을 주지 않거나 Gate 입력을 이용해 카운트가 되지 않게 하고 읽으면 됩니다.

Signal Status Modes	Low or Going Low	Rising	High
0	Disables Counting	—	Enables Counting
1	—	⊙ Initiates Counting ⊙ Resets output after next	—
2	⊙ Disables Counting ⊙ Sets output immediately high	⊙ Reloads Counter ⊙ Initiates Counting	Enables Counting
3	⊙ Disables Counting ⊙ Sets output immediately high	⊙ Reloads Counter ⊙ Initiates Counting	Enables Counting
4	Disables Counting	—	Enables Counting
5	—	Initiates Counting	—

➤ 표 13. 각 모드에서 GATE 입력에 따른 효과

표 13은 카운터의 GATE 입력핀의 상태에 따라 각 모드에서의 카운터 동작이 어떻게 변화되는지 나타냅니다. 표를 참조하여 사용자가 선택한 모드가 적절한지를 판단하십시오.

부록 3. DATA ACQUISITION 개요

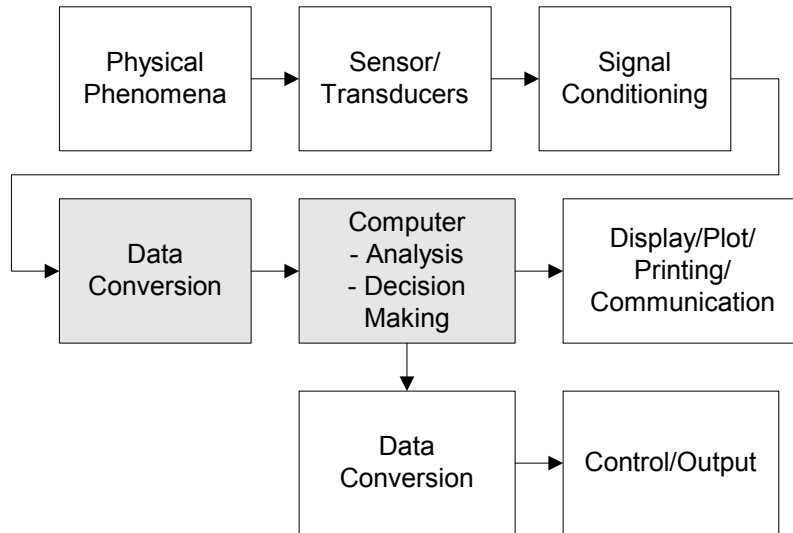
1. Data Acquisition & Control System이란?

Data Acquisition (획득)과 Control (제어)은 서로 다른 의미의 용어입니다. 간단한 예로, Multimeter 나 Oscilloscope 로 Data 를 관측하고 인쇄하는 것은 Data Acquisition 이고 실내 전등의 밝기를 조절 노브 (Knob)로 조정하는 것은 Control 이라고 이야기 할 수 있습니다. 최근 들어 많은 부분의 일들이 이러한 Data Acquisition 과 Control 을 필요로 하게 되었으며, Acquisition 된 Data 들은 컴퓨터로 해석하고 처리하며 또한 Control 할 수 있게 되었습니다.

이러한 Data Acquisition 과 Control 은 전기, 전자, 철강, 기계, 화학, 석유, 식품, 에너지, 유전공학, 의료공학 등의 거의 모든 산업 분야와 물리, 수학, 화학, 전자, 전기, 기계, 의학등 모든 학계에서도 광범위하게 응용되고 있으며, 이에 따라 과학자나 엔지니어는 물론이고 각종 시험과 연구, 개발, 생산에 종사하고 있는 사람들에 의해 이용되고 있습니다.

최근 들어 컴퓨터의 Data 처리 속도가 고속화 되고, 신뢰도가 높아지며, 대용량의 Memory 를 적재할 수 있게 되면서, 컴퓨터에 탑재된 Data Acquisition 과 Control System 은 광범위한 수치 해석 및 Data 저장 능력을 보유하게 되었습니다. 나아가 컴퓨터를 통하여 처리 결과의 출력 형태를 다양화할 수 있으며, Digital Control 및 통신에도 이용할 수 있게 되었습니다.

다음 그림은 Data Acquisition 과 Control System 의 구성도 입니다.



[그림 4-13] Data Acquisition & Control System 구성도

일반적으로 컴퓨터를 이용한 Data Acquisition & Control System 은 두 가지 방법으로 구현할 수 있습니다. 첫째는 PC-Bus 와 직접 Interface 시키는 방법이며, 둘째는 RS232, RS422, IEEE488 등의 Standard Communication Channel 을 통하는 방법입니다. 두 방법은 모두 나름의 장점을 갖고 있습니다. 이를 간단히 살펴 보면 다음과 같습니다.

1-1. PC-Bus Interface 장점

- ▷ Low Cost : PC Power 를 이용할 수 있습니다.
- ▷ Small Size : PC 내부의 미리 확보된 공간을 활용합니다.
- ▷ High Speed : 송수신을 위한 별도의 Protocol 이 불필요합니다.

1-2. Standard Communication Channel 장점

- ▷ System 제작 크기에 제한이 없습니다.
- ▷ Computer 와 원거리 설치가 가능합니다. (시험하고자 하는 가까운 위치에 System 을 설치하고 Host Computer 와 통신).
- ▷ Data Acquisition & Control System 이 Computer 기종에 관계없이 Interface 가 가능합니다.

2. IBM-PC 의 내부 구조 (Memory Address 를 중심으로)

PC 의 기본 구성은 본체, 입력장치 (Keyboard, Mouse 등) 및 출력장치 (Monitor, Printer, Plotter)등으로 이루어집니다. 최근 들어 소형 PC (Laptop, Notebook Type)가 개발되면서 이를 이용하여 소형 Portable Data Acquisition & Control System 을 구축할 수 있게 되었습니다. 그러나 일부 제작회사의 소형 PC 는 일반 PC 와 호환성 (특히 Expansion Slot)이 부족하여 PC-Bus 를 이용한 Interface 에 제한이 있습니다.

PC 의 Expansion Slot 을 이용한 System 도 두 가지 방법으로 제작할 수 있는데, PC 의 I/O 공간을 이용하는 방법과 Memory Location 영역을 이용하는 방법입니다. PC 의 I/O Map 과 Memory Map 을 다음의 표에 나타내었습니다.

표 14 는 Memory Map 이고, 표 21 와 표 22 는 각각 XT 와 AT 의 I/O Map 입니다. Memory 및 I/O Space 의 보다 상세한 내용은 “ PC Technical Reference ” 를 참조하기 바랍니다.

표를 보면 User 가 사용할 수 있는 Memory 및 I/O 공간은 매우 제한되어 있을 뿐만 아니라, 가용공간을 이미 다른 Card 가 사용하고 있을 수도 있습니다. 이러한 사정으로 인해 발생할 수 있는 Address 충돌을 방지하기 위해, Data Acquisition & Control Card 는 Switch Bank 를 달아 User 가 임의로 조정할 수 있도록 되어 있습니다.

FFFF 100000	AT extended memory (15K) 표 20 참조	
FFFF F0000	ROM 표 19 참조	
FFFF E0000	Open in PC/XT (64K) (1)	
DFFF D0000	Open in PC/XT (64K) (2)	
CFC00 CD000	CFC00 CF800 CF400 CF000 USER AREA CEC00 CE800 CE400 CE000 CDC00 CD800 CD400 CD000	
CCFF C8000	Fixed disk, XT only (20K) (3) 표 18 참조	
C7FF C4000	ROM expansion (16K) (4) 표 18 참조	
C3FF	Open(16K) (5) 표 18 참조	EGA SCREEN BUFFERS AND ROM
C0000	CGA Screen buffer	
AFFF A0000	Open(64K) (6) 표 17 참조	
9FFF 80000	128K RAM expansion area (7) 표 21 참조	
7FFF 00400	512K RAM expansion area 표 18 참조 DOS 표 15 참조 BIOS 표 24 참조	

부록 3

003FF 00000	Interrupt vectors 표 23 참조
----------------	------------------------------

➤ 표 14. IBM-PC/XT/AT Memory Map

00500	= Print screen status.
00504	= Single-drive status (Drive A or B).
00510 - 00511	= BASIC' s default data segment pointer.
00512 - 00513	= IP for BASIC' s timer interrupt vector.
00514 - 00515	= CS for BASIC' s timer interrupt vector.
00516 - 00517	= IP for BASIC' s ctrl-break interrupt.
00518 - 00519	= CS for BASIC' s ctrl-break interrupt.
0051A - 0051B	= IP for BASIC' s fatal-error interrupt.
0051C - 0051D	= CS for BASIC' s fatal-error interrupt.
00600 - XXXXX	= DOS and 'other things' .

➤ 표 15. DOS and BASIC Data Area

7FFF	= Top of 512K
80000 - 9FFFF	= AT, 128K RAM expansion area.
9FFFF	= Top of 640K, end of memory expansion area

➤ 표 16. RAM Expansion Area

A0000 - AFFFF	= Enhanced Graphics Adaptor (EGA) Screen buffers.
B0000 - B7FFF	= Monochrome adapter of EGA.
B0000 - B0FFF	= Monochrome screen buffer.
B1000 - B7FFF	= Reserved for screen buffers.
B8000 - BFFFF	= Color Graphics Adaptor(CGA) or EGA.
B8000 - BBFFF	= CGA buffer.
BC000 - BFFFF	= CGA/EGA screen buffers.
C0000 - C3FFF	= EGA BIOS.

➤ 표 17. CRT Screen Buffers

C4000 - C7FFF	= ROM expansion area.
C8000 - CCFFF	= Fixed disk control (XT).
CD000 - CFFFF	= User PROM, memory-mapped I/O.
D0000 - DFFFF	= User PROM, recommended "LIM" location.
E0000 - EFFFF	= ROM expansion area, optional I/O for PC/XT.

➤ 표 18. User Area

F0000 - F0FFF	= ROM BASIC.
F0000 - F0FFF	= BIOS.
F0000 - F0FFF	= First code executed after power-on.
F0000 - F0FFF	= BIOS release date.
F0000 - F0FFF	= Machine ID.

➤ 표 19. ROM

100000 - FFFFFFFF	= I/O channel memory (PC/AT extended memory, 15MB maximum)
-------------------	--

➤ 표 20. AT Extended Memory

000 - 00F	= DMA controller (8237A).
020 - 021	= Interrupt controller (8259A).
040 - 043	= Timer (8253).
060 - 063	= PPI (8255A).
080 - 083	= DMA page register (74LS612).
0A0	= NMI mask register.
200 - 20F	= Joystick (game) controller.
210 - 217	= Expansion unit.
2F8 - 2FF	= Serial port (secondary).

부록 3

300 - 31F	= Prototype card.
320 - 32F	= Fixed disk.
378 - 37F	= Parallel printer (primary).
380 - 37F	= SDLC.
3B0 - 3BF	= Monochrome adapter/printer.
3D0 - 3D7	= Color/graphics adapter.
3F0 - 3F7	= Diskette controller.
3F8 - 3FF	= Serial port (primary).

➤ 표 21. IBM PC/XT I/O Map

000 - 01F	= DMA controller (8237A-5).
020 - 03F	= Interrupt controller (8259A).
040 - 05F	= Timer (8254).
060 - 06F	= Keyboard (8042).
070 - 07F	= NMI mask register, real-time clock.
080 - 09F	= DMA page register (74LS612).
0A0 - 0BF	= Interrupt controller 2 (8259A).
0C0 - 0DF	= DMA controller 2 (8237A).
0F0 - 0FF	= Math coprocessor.
1F0 - 1F8	= Fixed disk.
200 - 207	= Joystick (game) controller.
258 - 25F	= Intel " Above Board " .
278 - 27F	= Parallel printer (secondary).
300 - 31F	= Prototype card.
060 - 36F	= Reserved.
378 - 37F	= Parallel printer (primary).
080 - 38F	= SDLC or bisynchronous communications (secondary).
3A0 - 3AF	= Bisynchronous communications (primary).
3B0 - 3BF	= Monochrome adapter/printer.
3C0 - 3CF	= EGA, reserved.
3D0 - 3DF	= Color/graphics adapter.
3F0 - 3F7	= Diskette controller.
3F8 - 3FF	= Serial port (primary).

➤ 표 22. IBM PC/AT I/O Map

00000 - 00003	Interrupt 0, divide-by-zero-error.
00004 - 00007	Interrupt 1, single-step operation.
00008 - 0000B	Interrupt 2, non-maskable interrupt.
0000C - 0000F	Interrupt 3, break-point.
00010 - 00013	Interrupt 4, arithmetic overflow.
00014 - 00017	Interrupt 5, BIOS print-screen routine.
00018 - 0001B	Interrupt 6, reserved.
0001C - 0001F	Interrupt 7, reserved.
00020 - 00023	Interrupt 8, hardware timer 18/2/sec.
00024 - 00027	Interrupt 9, keyboard.
00028 - 0002B	Interrupt A, reserved.
0002C - 0002F	Interrupt B, communications.
00030 - 00033	Interrupt C, communications.
00034 - 00037	Interrupt D, alternate printer.
00038 - 0003B	Interrupt E, floppy diskette signal.
0003C - 0003F	Interrupt F, printer control.
00040 - 00043	Interrupt 10, invokes BIOS video I/O service routines.
00044 - 00047	Interrupt 11, invokes BIOS equipment configuration check.
00048 - 0004B	Interrupt 12, invokes BIOS memory-size check.
0004C - 0004F	Interrupt 13, invokes BIOS disk I/O service routines.
00050 - 00053	Interrupt 14, invokes BIOS RS-232 I/O routines.
00054 - 00057	Interrupt 15, invokes BIOS cassette I/O extended AT service routines.
00058 - 0005B	Interrupt 16, invokes BIOS keyboard I/O routines.
0005C - 0005F	Interrupt 17, invokes BIOS printer I/O.
00060 - 00063	Interrupt 18, ROM BASIC.
00064 - 00067	Interrupt 19, invokes BIOS boot-strap start-up routine.
00068 - 0006B	Interrupt 1A, invokes BIOS time-of-day routines.
0006C - 0006F	Interrupt 1B, BIOS ctrl-break control
00070 - 00073	Interrupt 1C, gen at timer clock tick.
00074 - 00077	Interrupt 1D, vides initialization control parameter pointer.
00078 - 0007B	Interrupt 1E, disk parameter table pointer.
0007C - 0007F	Interrupt 1F, graphics character table pointer.
00080 - 00083	Interrupt 20, invokes DOS program termination.

부록 3

00084 - 00087	Interrupt 21, invokes all DOS function calls.
00088 - 0008B	Interrupt 22, user-created, DOS-controlled interrupt routine invoked at program end.
0008C - 0008F	Interrupt 23, user-created, DOS-controlled interrupt routine
0009C - 0009F	Interrupt 27, ends program and keeps program in memory under DOS.
000A0 - 000FF	Interrupts 28 through 3F, reserved.
00100 - 00103	Interrupt 40, disk I/O (XT)
00104 - 00107	Interrupt 41, fixed disk parameters (XT)
00108 - 00123	Interrupts 42 through 48, reserved.
00124 - 00127	Interrupt 49, keyboard supplement translation table pointer.
00128 - 0017F	Interrupts 49 through 5F, reserved.
00180 - 0019F	Interrupts 60 through 67, user-defined interrupts.
001A0 - 001FF	Interrupts 68 through 7F, not used.
00200 - 00217	Interrupts 80 through 85, reserved for BASIC.
00218 - 003C3	Interrupts 86 through F0, BASIC interpreter.
003C4 - 003FF	Interrupts F1 through FF, not used.

➤ 표 23. Interrupt Vector

00400 -00401	Address of RS-232 adapter 1.
00402 -00403	Address of RS-232 adapter 2.
00404 -00405	Address of RS-232 adapter 3.
00406 -00407	Address of RS-232 adapter 4.
00408 -00409	Address of printer adapter 1.
0040A-0040B	Address of printer adapter 2.
0040C-0040D	Address of printer adapter 3.
0040E-0040F	Address of printer adapter 4.
00410-00411	Equipment flag.
00412	Manufacturing test indicator.
00413-00414	Useable memory size in K.
00415-00416	Memory in I/O channel for 64K-planar PC.
00417-00418	Keyboard status Bits.
00419	Alternate keyboard numeric input. (future use)
0041A-0041B	Keyboard buffer tail pointer.
0041C-0041D	Keyboard buffer tail pointer.
0041E-0043D	Keyboard buffer.
0043E	Floppy disk seek status.
0043F	Floppy disk motor status.
00440	Floppy disk motor timeout.
00441	Floppy disk status.
00412-00448	Floppy disk controller status bytes.
00449	CRT mode code.
0044A-0044B	CRT column screen width.
0044C-0044D	CRT regeneration buffer length.
0044E-0044F	Starting address in regeneration buffer.
00450-00451	Cursor position for CRT page 1.
00452-00453	Cursor position for CRT page 2.
00454-00455	Cursor position for CRT page 3.
00456-00457	Cursor position for CRT page 4.
00458-00459	Cursor position for CRT page 5.
0045A-0045B	Cursor position for CRT page 6.
0045C-0045D	Cursor position for CRT page 7.
004CE-004DF	Cursor position for CRT page 8.
00460-00461	Cursor mode.
00462	Active page number.

00463-00464	CRT mode.
00465	Address of current display adapter.
00466	Palette setting.
00467-00468	Time count.
00469-0046A	CRC register.
0046B	Last input value.
0046C-0046D	Low word of timer count.
0046E-0046F	High word of timer count.
00470	Timer rollover.
00490-004C1	Used by MODE.COM.
00471	Break indicator.
00472-00473	Reboot (Alt-Ctrl-Del) indicator.
00474-00477	Fixed disk data area (XT).
00478	Printer 1 timeout (XT).
00479	Printer 2 timeout (XT).
0047A	Printer 3 timeout (XT).
0047B	Printer 4 timeout (XT).
0047C	RS-232 card 1 timeout (XT).
0047D	RS-232 card 2 timeout (XT).
0047E	RS-232 card 3 timeout (XT).
0047F	RS-232 card 4 timeout (XT).
00480-00483	Additional keyboard buffer pointers (XT).
00484-004A8	EGA BIOS buffer.
00484	Number of character rows.
00485	Bytes per character.
00487	Status byte.
00488	Feature Bits, DIP switches.
004A8	Pointer save.
004D0-004EF	Reserved.
004F0-004FF	Intra-application communication area.

➤ 표 24. BIOS data area

2-1. PC Expansion Slot 의 구조

PC 의 확장 슬롯에는 다음과 같은 네 가지 유형이 있습니다.

8 Bit PC/XT 용 Slot.

16 Bit PC/AT 및 PC/XT 용 Slot.

32 Bit PC/AT 및 PC/XT 용 Slot.

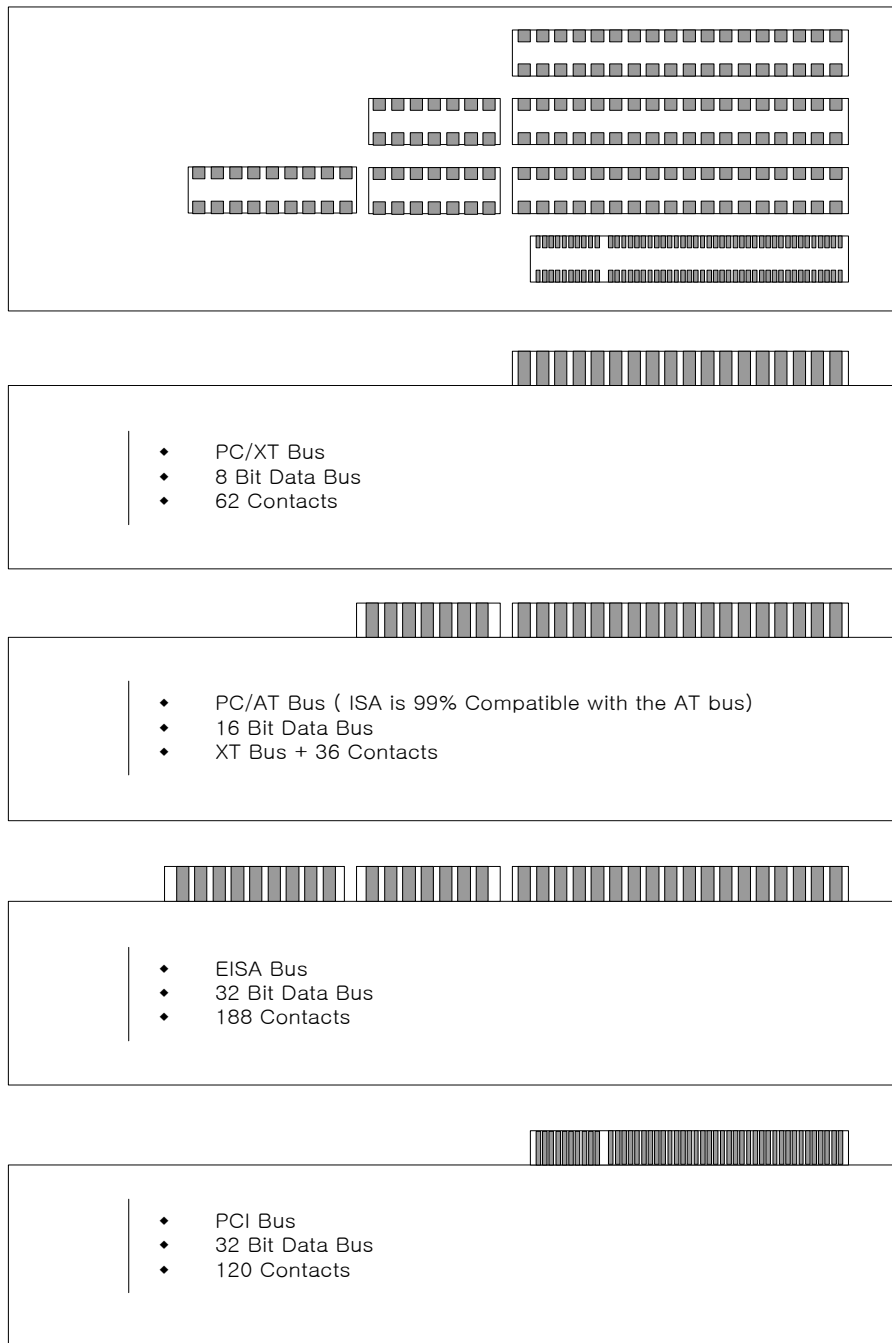
32 Bit PCI Slot

이를 [그림 4-13]에 나타내었습니다.

표 25, 표 26 는 각각 8bit 및 16Bits 용 슬롯의 신호 사양들입니다.

표 27 은 COMIZ0A 모든 보드에 해당되는 PCI 슬롯의 신호 사양입니다.

© 각 신호명의 기능들은 PC Technical Reference Manual 참조 하십시오.



[그림 4-13] Expansion Slot 의 종류

Pin NO.	신호명	I/O	Pin NO.	신호명	I/O
C1	/IOBHE	I/O	D1	/MEM CS 16	I
C2	A23	I/O	D2	/I/O CS 16	I
C3	A22	I/O	D3	IRQ 10	I
C4	A21	I/O	D4	IRQ 11	I
C5	A20	I/O	D5	IRQ 12	I
C6	A19	I/O	D6	IRQ 15	I
C7	A18	I/O	D7	IRQ 14	I
C8	A17	I/O	D8	/DACK 0	O
C9	/MR	I/O	D9	DRQ 0	I
C10	/MW	I/O	D10	/DACK 5	O
C11	D8	I/O	D11	DRQ 5	I
C12	D9	I/O	D12	/DACK 6	O
C13	D01	I/O	D13	DRQ 6	I
C14	D11	I/O	D14	/DACK 7	O
C15	D12	I/O	D15	DRQ 7	I
C16	D13	I/O	D16	+5V	-
C17	D14	I/O	D17	/MASTER	I
C18	D15	I/O	D18	GND	-

➤ 표 25. 16Bits 확장 Slot 신호사양

부록 3

Pin NO.	신호명	I/O	Pin NO.	신호명	I/O
A1	/IOCHCK	I	B1	GND	-
A2	D7	I/O	B2	RESET DRV	0
A3	D6	I/O	B3	-5V	-
A4	D5	I/O	B4	IRQ 9	I
A5	D4	I/O	B5	-5V	-
A6	D3	I/O	B6	DRQ 2	I
A7	D2	I/O	B7	-12V	-
A8	D1	I/O	B8	/SRDY	I
A9	D0	I/O	B9	+12V	-
A10	/IOCHRDY	I	B10	GND	-
A11	AEN	0	B11	/MEMW	0
A12	A19	I/O	B12	/MEMR	0
A13	A18	I/O	B13	/IOWC	0
A14	A17	I/O	B14	/IORC	0
A15	A16	I/O	B15	/DACK 3	0
A16	A15	I/O	B16	DRQ 3	I
A17	A14	I/O	B17	/DACK 1	0
A18	A13	I/O	B18	DRQ 1	I
A19	A12	I/O	B19	/MEMREF	I/O
A20	A11	I/O	B20	SYSCLK	0
A21	A10	I/O	B21	IRQ 7	I
A22	A9	I/O	B22	IRQ 6	I
A23	A8	I/O	B23	IRQ 5	I
A24	A7	I/O	B24	IRQ 4	I
A25	A6	I/O	B25	IRQ 3	I
A26	A5	I/O	B26	/DACK 2	0
A27	A4	I/O	B27	TC	0
A28	A3	I/O	B28	BUSALE	0
A29	A2	I/O	B29	+5V	-
A30	A1	I/O	B30	OSC	0
A31	A0	I/O	B31	GND	-

➤ 표 26. 8bit 확장 Slot 신호사양

Pin No.	5V System Environment	
	Side A	Side B
1	-12V	TRST#
2	TCK	+12V
3	GND	TMS
4	TDO	TDI
5	+5V	+5V
6	+5V	INTA#
7	INTB#	INTC#
8	INTD#	+5V
9	PRSNT1#	RESERVED
10	RESERVED	+5V
11	PRSNT2#	RESERVED
12	GND	GND
13	GND	GND
14	RESERVED	RESERVED
15	GND	RST#
16	CLK	+5V
17	GND	GNT#
18	REQ#	GND
19	+5V	RESERVED
20	AD[31]	AD[30]
21	AD[29]	+3.3V
22	GND	AD[28]
23	AD[27]	AD[26]
24	AD[25]	GND
25	+3.3V	AD[24]
26	C/BE[3]#	IDSEL
27	AD[23]	+3.3V
28	GND	AD[22]
29	AD[21]	AD[20]
30	AD[19]	GND
31	+3.3V	AD[18]
32	AD[17]	AD[16]
33	C/BE[2]#	+3.3V
34	GND	FRAME#
35	IRDY#	GND
36	+3.3V	TRDY#
37	DEVSEL#T	GND

Pin No.	5V System Environment	
	Side A	Side B
38	GND	STOP#
39	LOCK#	+3.3V
40	PERR#	SDONE
41	+3.3V	SBO#
42	SERR#	GND
43	+3.3V	PAR
44	C/BE[1]#	AD[15]
45	AD[14]	+3.3V
46	GND	AD[13]
47	AD[12]	AD[11]
48	AD[10]	GND
49	GND	AD[9]
50		
51		
52	AD[8]	C/BE[0]#
53	AD[7]	+3.3V
54	+3.3V	AD[6]
55	AD[5]	AD[4]
56	AD[3]	GND
57	GND	AD[2]
58	AD[1]	AD[0]
59	+5V	+5V
60	ACK64#	REQ64#
61	+5V	+5V
62	+5V	+5V

➤ 표 27. 32Bits PCI PIN



부록 3

